



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0037851
Application Number PATENT-2002-0037851

출원년월일 : 2002년 07월 02일
Date of Application JUL 02, 2002

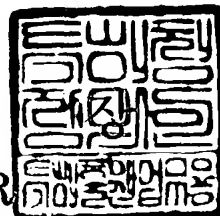
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.02
【발명의 명칭】	오프셋 보상 감지 방식을 갖는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE WITH OFFSET-COMPENSATED SENSING SCHEME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	심재윤
【성명의 영문표기】	SIM, JAE YOON
【주민등록번호】	690718-1559619
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 풍림아파트 604동 1302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 51 면 51,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 70 항 2,349,000 원

【합계】 2,429,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

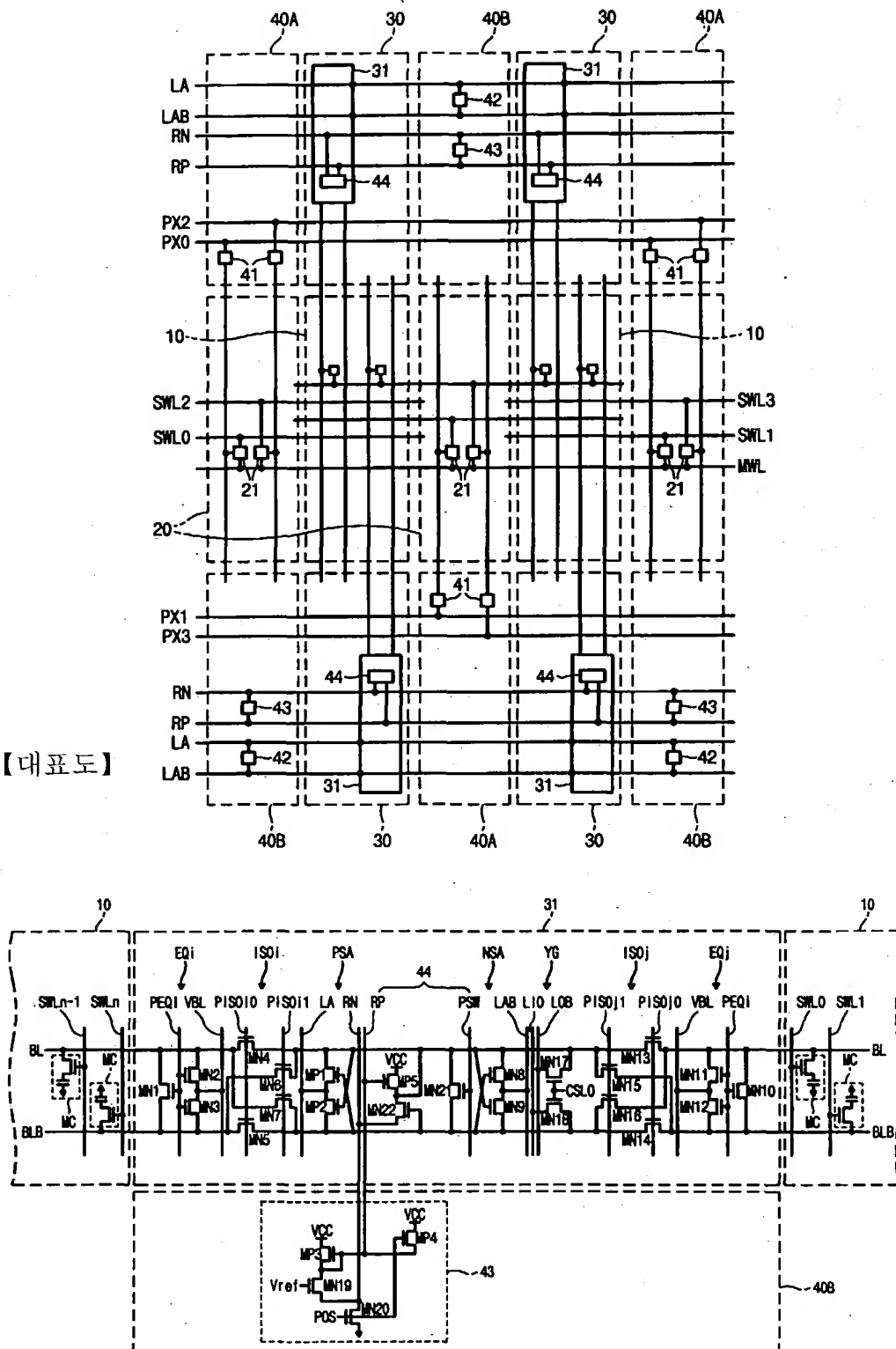
【요약서】**【요약】**

본 발명에 따른 반도체 메모리 장치는 플립-플롭 감지 증폭기가 자신의 오프셋 전압에 관계없이 안정적인 감지 동작을 수행케 하는 오프셋 보상 증폭 회로를 포함한다.

본 발명의 오프셋 보상 증폭 회로의 일부는 제 1 영역 (예를 들면, 플립-플롭 감지 증폭기가 배치되는 영역)에 배치되고, 그것의 나머지는 제 2 영역 (예를 들면, 플립-플롭 감지 증폭기와 관련된 드라이버들이 배치되는 영역)에 배치된다. 이러한 분산 배치 방식에 의해서, 오프셋 보상 증폭 회로를 반도체 메모리 장치에 실질적으로 구현하는 것이 가능하다.

【대표도】

【대표도】



【명세서】

【발명의 명칭】

오프셋 보상 감지 방식을 갖는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE WITH OFFSET-COMPENSATED SENSING SCHEME}

【도면의 간단한 설명】

도 1은 본 발명에 따른 오프셋 보상 증폭 회로의 기능 블록도;

도 2는 본 발명에 따른 오프셋 보상 증폭 회로를 포함한 반도체 메모리 장치를 보여주는 블록도;

도 3은 본 발명의 제 1 실시예에 따른 오프셋 보상 증폭 회로 및 감지 증폭 회로를 보여주는 회로도;

도 4는 본 발명에 따른 반도체 메모리 장치에서 입출력 라인들을 스위치하기 위한 스위치 회로를 보여주는 회로도;

도 5는 본 발명에 따른 반도체 메모리 장치의 읽기 동작을 설명하기 위한 동작 타이밍도;

도 6a는 본 발명에 따른 오프셋 보상 증폭 회로가 적용되지 않은 반도체 메모리 장치에서 플립-플롭 감지 증폭기의 오프셋 전압이 없는 경우 비트 라인들의 전압 변화를 보여주는 도면;

도 6b는 본 발명에 따른 오프셋 보상 증폭 회로가 적용되지 않은 반도체 메모리 장치에서 플립-플롭 감지 증폭기의 오프셋 전압이 존재하는 경우 비트 라인들의 전압 변화를 보여주는 도면;

도 7a는 본 발명에 따른 오프셋 보상 증폭 회로가 적용된 반도체 메모리 장치에서 차동 증폭기의 오프셋 전압이 없는 경우 비트 라인들의 전압 변화를 보여주는 도면;

도 7b 및 도 7c는 본 발명에 따른 오프셋 보상 증폭 회로가 적용된 반도체 메모리 장치에서 차동 증폭기의 오프셋 전압이 있는 경우 비트 라인들의 전압 변화를 보여주는 도면들;

도 8은 본 발명의 제 2 실시예에 따른 오프셋 보상 회로 및 감지 증폭 회로를 보여주는 회로도;

도 9는 본 발명의 제 3 실시예에 따른 오프셋 보상 회로 및 감지 증폭 회로를 보여주는 회로도

도 10은 본 발명의 제 3 실시예에 따른 오프셋 보상 증폭 회로의 레이아웃 구조를 보여주는 블록도;

도 11은 본 발명의 제 4 실시예에 따른 오프셋 보상 회로 및 감지 증폭 회로를 보여주는 회로도; 그리고

도 12는 본 발명의 제 5 실시예에 따른 오프셋 보상 증폭 회로를 포함한 반도체 메모리 장치의 레이아웃 구조를 보여주는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 집적 회로 장치들에 관한 것으로, 좀 더 구체적으로는 낮은 전원 전압에서 안정적으로 동작 가능한 반도체 메모리 장치에 관한 것이다.

<16> 고성능 DRAM을 구현하기 위한 중요한 회로들 중 하나는 비트 라인 감지

증폭기이다. DRAM의 읽기 동작에 있어서, 적은 양의 전하가 메모리 셀에서 비트 라인으로 전달되고, 비트 라인 상의 전압은 그 다음에 감지 증폭기에 의해서 증폭된다. 고밀도 DRAM의 경우, 안정된 읽기 동작을 수행하는 것이 점차적으로 어려워지고 있다. 왜냐하면, 메모리 셀에 저장된 신호 전하가 셀 크기 및 동작 전압 감소로 인해 더욱 감소하기 때문이다. 그러므로 보다 높은 감도를 갖는 감지 증폭기가 필요하다.

<17> 간단한 구조와 높은 감도 때문에, 다이내믹 교차-접속 감지 증폭기 (dynamic cross-coupled sense amplifier) (이하, "플립-플롭 감지 증폭기"라 칭함)가 비트 라인 감지 증폭기로서 널리 사용되어 오고 있다. 감지 증폭기의 감도는 쌍으로 이루어진 트랜지스터들의 문턱 전압 및 트랜스컨덕턴스 불일치와 같은 디바이스 파라미터의 불균형에 영향을 받는다. 고밀도 DRAM의 경우, 축소된 최소 배선 폭 (scaled-down feature size)을 갖는 수많은 트랜지스터들이 고밀도 DRAM에서 사용되기 때문에 디바이스 파라미터의 불균형은 필연적으로 증가한다. 그러한 디바이스 파라미터의 불균형은 플립-플롭 감지 증폭기가 오프셋 전압 (offset voltage)을 갖게 한다. 오프셋 전압은 플립-플롭 감지 증폭기의 감지 마진이 감소하게 하는 원인이 되며, 이는 이하 상세히 설명될 것이다.

<18> 일반적으로, 메모리 셀의 커패시턴스와 비트 라인 커패시턴스 사이의 차지 세어링 (charge sharing)에 의해서 유기되는 비트 라인 전압이 감지 증폭기의 오프셋 전압보다 큰 경우, 정상적으로 읽기/리프레시 동작이 수행된다. 반면에, 차지 세어링에 의해서 유기되는 비트 라인 전압이 감지 증폭기의 오프셋 전압보다 작은 경우, 읽기/리프레시 동작이 정상적으로 수행될 수 없다. 이는 감지 증폭기의 오프셋 전압이 감지 마진의 감소를 초래함을 의미한다. 오프셋 전압으로 인한 감지 마진의 감소는 기억 (또는 리프레시)

시간에 큰 제약을 주게 된다. 낮은 전원 전압에서 동작하는 경우, 특히, 비트 라인에 유기되는 전압이 상대적으로 감소하기 때문에 감지 증폭기의 감도는 오프셋 전압에 의해서 더욱 큰 영향을 받는다.

<19> 플립-플롭 감지 증폭기에서 생기는 불균형 (또는 오프셋 전압)의 영향을 최소화시키기 위한 다양한 회로 기술들이 제안되어 오고 있다. 그러한 회로 기술들 중 하나는 비트 라인 프리차지 레벨을 조정함으로써 쌍으로 이루어진 감지 트랜지스터들의 문턱 전압 불일치를 보상하는 것이다. 이 회로 기술은 불균형이 단지 문턱 전압 불일치에 의해서 야기되는 경우에만 높은 감도를 구현할 수 있다. 다른 회로 기술은 간단한 오프셋 보상 기술을 채용함으로써 감지 증폭기의 전반적인 전기적인 불균형을 억제하는 것으로, 이는 IEEE 저널에 "Offset Compensating Bit-Line Sensing Scheme for High Density DRAM's" (Solid-State Circuits vol. 29 No. 1, January 1994, pp. 9-13)라는 제목으로 개시되어 있다.

<20> 상기한 논문에 개시되어 있는 오프셋 보상 비트 라인 감지 (offset compensating bit-line sensing: 이하 "OCS"라 칭함) 스킴은 감지 증폭기의 쌍으로 이루어진 트랜지스터들의 전반적인 전기적 불균형을 제거할 수 있다. OSC 스킴에 있어서, 감지 증폭기의 오프셋 전압을 보상하기 위한 차동 증폭기가 감지 증폭 영역 내에 배치되어 있다. 고밀도 DRAM의 경우, 현재의 설계 및 공정 기술을 이용하여 제한된 감지 증폭 영역 내에 OCS 스킴의 감지 증폭기를 배치하는 것은 실질적으로 어렵다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명의 목적은 반도체 메모리 장치의 플립-플롭 감지 증폭기가 자신의 오프셋 전압에 무관하게 안정된 감지 동작을 수행하게 하는 오프셋 보상 증폭 회로의 레이아웃 구조를 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 메모리 장치는 제 1 영역에 배치되며, 복수 개의 메모리 셀들이 각각 연결되는 제 1 및 제 2 비트 라인들을 포함한다. 오프셋 보상 증폭 회로는 소정의 기준 전압을 기준으로 상기 제 1 및 제 2 비트 라인들 중 하나의 전압 변화를 검출하고, 검출 결과에 따라 다른 비트 라인을 구동한다. 감지 증폭 회로는 제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 간의 전압차를 감지 증폭한다. 상기 오프셋 보상 증폭 회로는 상기 하나의 비트 라인의 전압 변화를 검출하기 이전에 제 1 제어 신호에 응답하여 상기 기준 전압에 대한 오프셋 전압을 보상한다. 상기 오프셋 보상 증폭 회로의 일부는 상기 제 2 영역에 배치되고 상기 오프셋 보상 증폭 회로의 나머지 부분은 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치된다.

<23> 본 발명의 다른 특징에 따르면, 반도체 메모리 장치는 제 1 영역에 배치되는 복수 개의 메모리 셀들이 각각 연결되는 제 1 및 제 2 비트 라인들과; 제 1 제어 신호에 응답하여 동작하며, 기준 전압에 따라 바이어스 전압을 발생하는 바이어스 전압 발생 회로와; 상기 바이어스 전압을 공급받으며, 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 드라이버 회로와; 제 2 제어 신호에 응답하여 상기 제 1 및 제 2 비트 라인들을 전기적으로 연결하는 스위치와; 그리고 제 2 영역에 배치되

며, 상기 제 1 및 제 2 비트 라인들 사이의 전압차를 감지 증폭하는 감지 증폭 회로를 포함한다.

<24> 이 실시예에 있어서, 상기 바이어스 전압 발생 회로와 상기 드라이버 회로는 차동 증폭기를 구성한다. 상기 드라이버 회로와 상기 스위치는 상기 제 2 영역에 배치되는 반면에, 상기 바이어스 전압 발생 회로는 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치된다.

<25> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 제 1 영역에 배치되는 복수 개의 메모리 셀들이 각각 연결되는 제 1 내지 제 4 비트 라인들과; 제 1 제어 신호에 응답하여 동작하며, 기준 전압에 따라 바이어스 전압을 발생하는 바이어스 전압 발생 회로와; 상기 바이어스 전압을 공급받으며, 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 제 1 드라이버 회로와; 상기 바이어스 전압을 공급받으며, 상기 제 3 비트 라인의 전압 변화에 응답하여 상기 제 4 비트 라인을 구동하는 제 2 드라이버 회로와; 제 2 제어 신호에 응답하여 상기 제 1 및 제 2 비트 라인들을 전기적으로 연결하는 제 1 스위치와; 상기 제 2 제어 신호에 응답하여 상기 제 3 및 제 4 비트 라인들을 전기적으로 연결하는 제 2 스위치와; 상기 제 1 제어 신호에 응답하여 상기 제 1 및 제 2 드라이버 회로들에 방전 경로를 각각 제공하는 제 3 스위치와; 그리고 제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 사이의 그리고 상기 제 3 및 제 4 비트 라인들 사이의 전압차를 각각 감지 증폭하는 감지 증폭 회로를 포함한다.

<26> 이 실시예에 있어서, 상기 바이어스 전압 발생 회로, 상기 제 1 드라이버 회로, 그리고 상기 제 3 스위치는 제 1 차동 증폭기를 구성하고 상기 바이어스 전압 발생 회로, 상기 제 2 드라이버 회로, 그리고 상기 제 3 스위치는 제 2 차동 증폭기를 구성한다. 그

리고, 상기 제 1 및 제 2 드라이버 회로들과 상기 제 1 내지 제 3 스위치들은 상기 제 2 영역에 배치되는 반면에 상기 바이어스 전압 발생 회로는 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치된다.

<27> 본 발명에 따른 바람직한 실시예들이 참조도면들에 의거하여 이하 상세히 설명될 것이다.

<28> 본 발명의 신규한 반도체 메모리 장치는 메인 증폭기 (main amplifier)로서 플립-플롭 감지 증폭기가 자신의 오프셋 전압에 관계없이 안정적인 감지 동작을 수행케 하는 오프셋 보상 증폭 회로를 포함한다. 본 발명의 오프셋 보상 증폭 회로의 일부는 제 1 영역에 배치되고, 그것의 나머지는 제 2 영역에 배치된다. 제 1 영역은, 예를 들면, 플립-플롭 감지 증폭기가 배치되는 영역이고, 제 2 영역은 상기 제 1 영역과 다른 곳에 위치하며 플립-플롭 감지 증폭기와 관련된 드라이버들 (예를 들면, PEQ 드라이버, LA 및 LAB 드라이버들, 등)이 배치되는 영역이다. 이러한 분산 배치 방식에 의해서, 오프셋 보상 증폭 회로를 반도체 메모리 장치에 실질적으로 구현하는 것이 가능하다.

<29> 도 1은 본 발명에 따른 오프셋 보상 증폭 회로의 기능 블록도이다. 본 발명의 오프셋 보상 증폭 회로는 부궤환 방식 (negative feedback method)을 이용하여 자신의 오프셋 전압을 제거하고, 그 다음에 제 1 비트 라인의 전압 변화에 응답하여 제 2 비트 라인의 전압을 결정한다. 여기서, 제 1 비트 라인은 선택된 메모리 셀과 연결되는 트루 비트 라인 (true bit line)이고 제 2 비트 라인은 기준 비트 라인으로서 사용되는 컴플리먼트 비트 라인 (complement bit line)이다. 역으로, 제 2 비트 라인이 트루 비트 라인이 되고 제 1 비트 라인이 컴플리먼트 비트 라인이 될 수 있다.

- <30> 본 발명의 오프셋 보상 증폭 회로는 차동 증폭기 (differential amplifier) (AMP) 와 스위치 (SW)로 구성된다. 차동 증폭기 (AMP)는 기준 전압 (V_{ref})을 받아들이는 제 1 입력 단자 (또는 비반전 입력 단자), 제 1 비트 라인 (BLB)에 연결된 제 2 입력 단자 (또는 반전 입력 단자), 그리고 제 2 비트 라인 (BL)에 연결된 출력 단자를 갖는다. 스위치 (SW)는 차동 증폭기 (AMP)의 출력 단자 (또는 제 2 비트 라인 (BL))과 제 1 비트 라인 (BLB) 사이에 연결되며, 제어 신호 (PSW)에 따라 스위치 온/오프된다.
- <31> 이 실시예에 있어서, 기준 전압 (V_{ref})은 비트 라인 프리차지 전압 ($V_{CCA}/2$)과 동일하다. 하지만, 기준 전압 (V_{ref})은 비트 라인 프리차지 전압 ($V_{CCA}/2$)보다 높게 또는 낮게 설정될 수 있다. " V_{CCA} " 전압은 어레이용 전원 전압을 나타낸다.
- <32> 차동 증폭기 (AMP)는, 잘 알려진 바와 같이, 전류 미러 증폭기 (current mirror amplifier)로서 입력 오프셋 전압 (input offset voltage)을 갖는다. 트루 비트 라인으로서 비트 라인 (BL)의 변화된 전압이 입력 오프셋 전압과 같거나 그 보다 적으면, 차동 증폭기 (AMP)는 비트 라인 (BL)의 전압 변화를 올바르게 인식하지 못한다. 본 발명의 오프셋 보상 증폭 회로는 부궤환 방식을 이용하여 기준 전압 (V_{ref})에 대한 차동 증폭기 (AMP)의 입력 오프셋 전압을 제거하고, 그 다음에 입력 오프셋 전압과 관계없이 트루 비트 라인의 전압 변화를 확실하게 검출한다. 좀 더 구체적으로 설명하면 다음과 같다.
- <33> 비트 라인들 (BL, BLB)이 비트 라인 프리차지 회로 (미도시됨)에 의해서 비트 라인 프리차지 전압 (예를 들면, $V_{CCA}/2$)으로 각각 프리차지되었다고 가정하자. 제어 신호 (PSW)가 활성화됨에 따라 차동 증폭기 (AMP)의 출력 단자와 제 2 입력 단자 (-)가 스위치 (SW)를 통해 전기적으로 연결된다. 즉, 부궤환 루프가 차동 증폭기 (AMP)에 형성된다. 부궤환 루프의 형성에 따라, 도 1에 도시된 바와 같이, 기준 전압 (V_{ref})에

대한 차동 증폭기 (AMP)의 오프셋 전압 (V_{os})이 출력 단자에 나타난다. 출력 단자의 전압이 오프셋 전압 (V_{os})만큼 가변됨에 따라, 차동 증폭기 (AMP)는 제 1 및 제 2 입력 단자들 (+, -)의 전압들 (V_{ref} , V_{blb})이 동일한 값을 갖는 것으로 인식하게 된다. 이는 기준 전압 (V_{ref})에 대한 차동 증폭기 (AMP)의 오프셋 전압 (V_{os})이 제거되었음을 또는 기준 전압 (V_{ref})에 대한 차동 증폭기 (AMP)의 오프셋 전압 (V_{os})이 보상되었음을 의미한다. 오프셋 전압이 제거된 전압은 비트 라인들에 임시적으로 저장된다. 기준 전압 (V_{ref})에 대한 차동 증폭기의 오프셋 전압이 보상됨에 따라, 도 1에 도시된 바와 같이, 비트 라인들 (BL, BLB)의 전압들은 프리차지 전압 (또는, 기준 전압)과 비교하여 볼 때 오프셋 전압만큼 가변된다.

<34> 이후, 제어 신호 (PSW)는 행 활성화 이전에 비활성화되며, 그 결과 차동 증폭기의 출력 단자는 제 2 입력 단자에서 전기적으로 분리된다. 워드 라인 (WL)이 활성화됨에 따라 트루 비트 라인 (BL)의 전압이 차지 세어링에 의해서 가변된다. 차동 증폭기 (AMP)는 트루 비트 라인 (BL)의 전압 변화에 응답하여 컴플리먼트 비트 라인 (BLB)을 구동한다. 즉, 차동 증폭기 (AMP)는 기준 전압 (V_{ref})과 트루 비트 라인 (BL) 상의 변화된 전압 사이의 차를 감지 증폭하고, 증폭된 전압을 컴플리먼트 비트 라인 (BLB)으로 출력한다. 비트 라인들 (BL, BLB) 사이의 전압차가 오프셋 보상 증폭 회로에 의해서 1차로 감지 증폭됨에 따라, 플립-플롭 감지 증폭기는 자신의 오프셋 전압에 관계없이 비트 라인들 (BL, BLB) 간의 증폭된 전압차를 감지할 수 있다.

<35> 도 2는 본 발명에 따른 오프셋 보상 증폭 회로를 포함한 반도체 메모리 장치를 보여주는 블록도이다. 본 발명의 반도체 메모리 장치는 DRAM으로, 공유된 감지 증폭기 구조 (shared sense amplifier structure)와 계층적인 워드 라인 구조 (hierarchical word

line structure)를 갖는다. 도 2를 참조하면, 반도체 메모리 장치는 메모리 블록이 각각 배치되는 복수 개의 메모리 셀 영역들 (10)을 포함한다. 각 메모리 블록에는 복수 개의 메모리 셀들 (예를 들면, DRAM 셀)이 행들 (또는 서브 워드 라인들)과 열들 (또는 비트 라인들)의 매트릭스 형태로 배열된다. 행 방향 (또는 워드 라인 방향)을 따라 배열된 메모리 셀 영역들 (10) 사이에는 서브 워드 라인 구동 영역들 (20)이 각각 배치된다. 각 서브 워드 라인 구동 영역 (20)에는 대응하는 메모리 블록의 서브 워드 라인들을 각각 구동하기 위한 서브 워드 라인 디코더들 (21)이 배치된다.

<36> 복수의 감지 증폭 영역들 (30)이 비트 라인 방향을 따라 메모리 셀 영역 (10)의 양측에 각각 배치되어 있다. 감지 증폭 영역 (30)에는 대응하는 비트 라인 쌍들에 각각 연결된 복수 개의 감지 증폭 회로들 (31)이 배치된다. 각 감지 증폭 회로는 이후 상세히 설명될 것이다. 켄정선 영역들 (40)이 비트 라인 방향을 따라 서브 워드 라인 구동 영역 (20)의 양측에 각각 배치되어 있다. 본 발명에 있어서, 켄정선 영역들 (40)은 2개의 그룹들로 나뉜다. 일 그룹의 켄정선 영역들 (40A)에는 서브 워드 라인 디코더들 (21)로 대응하는 구동 신호들 (PXi)을 전달하는 드라이버들 (41)이 배치되어 있는 반면에, 다른 그룹의 켄정선 영역들 (40B)에는 감지 증폭 회로 (31)를 구동하기 위한 드라이버들 (42)이 배치되어 있다. 동일한 행을 따라 배치된 드라이버들 (42)은 신호 라인들 (LA, LAB)에 공통으로 연결되어 있다.

<37> 계속해서 도 2를 참조하면, 켄정선 영역들 (40B)에는 도 1에 도시된 오프셋 보상 증폭 회로의 일부분으로서 소정의 바이어스 전압을 발생하는 전압 발생기 (43)이 각각 배치되어 있다. 각 감지 증폭 회로 (31)에는 도 1에 도시된 오프셋 보상 증폭 회로의 나머지 (도 3 참조, 반전 증폭기 및 스위치) (44)가 배치된다. 동일한 행을 따라 배치된

전압 발생기들 (43)은 신호 라인들 (RN, RP)에 공통으로 연결되어 있다. 신호 라인 (RP)은 각 전압 발생기 (43)에서 생성되는 바이어스 전압을 전달하는 데 사용되고, 신호 라인 (RN)은 바이어스 전압이 생성되는 동안 방전 경로를 제공하는 데 사용된다. 이는 이후 상세히 설명될 것이다.

<38> 도 3은 본 발명의 제 1 실시예에 따른 오프셋 보상 증폭 회로 및 감지 증폭 회로를 보여주는 회로도이다. 도 3을 참조하면, 본 발명의 감지 증폭 회로 (31)는 메모리 블록들 (10)에 의해서 공유되며, 제 1 및 제 2 비트 라인 등화기들 (EQ_i, EQ_j), P-래치 감지 증폭기 (PSA), N-래치 감지 증폭기 (NSA), 제 1 및 제 2 비트 라인 절연기들 (ISO_i, ISO_j), 그리고 열 패스 게이트 (YG)를 포함한다. 제 1 비트 라인 등화기 (EQ_i)는 3개의 NMOS 트랜지스터들 (MN1, MN2, MN3)로 구성되고, 제어 신호 (PEQ_i)에 응답하여 좌측에 배치된 메모리 블록 (10)의 비트 라인들 (BL, BLB)을 프리차지 전압 (VBL)으로 프리차지 및 등화한다. 제 1 비트 라인 절연기 (ISO_i)는 4개의 NMOS 트랜지스터들 (MN4-MN7)로 구성되고, 제어 신호들 (PISO_{i0}, PISO_{i1})에 응답하여 감지 증폭 회로 (31)를 좌측 메모리 블록 (20)에/으로부터 전기적으로 연결/분리한다.

<39> 계속해서 도 3을 참조하면, P-래치 감지 증폭기 (PSA)는 2개의 PMOS 트랜지스터들 (MP1, MP2)로 구성되며, 선택된 메모리 블록의 비트 라인들 (BL, BLB) 중 어느 하나 (상대적으로 높은 전압을 갖는 비트 라인)를 신호 라인 (LA)에 연결한다. N-래치 감지 증폭기 (NSA)는 2개의 NMOS 트랜지스터들 (MN8, MN9)로 구성되며, 나머지 비트 라인 (상대적으로 높은 전압을 갖는 비트 라인)을 신호 라인 (LAB)에 연결한다. P-래치 감지 증폭기 (PSA)와 N-래치 감지 증폭기 (NSA)는 메인 증폭기로서 플립-플롭 감지 증폭기를 구성한다. 제 2 비트 라인 등화기 (EQ_j)는 3개의 NMOS 트랜지스터들 (MN10, MN11, MN12)로 구

성되고, 제어 신호 (PEQj)에 응답하여 우측에 배치된 메모리 블록 (10)의 비트 라인들 (BL, BLB)을 프리차지 전압 (VBL)으로 프리차지 및 등화한다. 제 2 비트 라인 절연기 (ISOj)는 4개의 NMOS 트랜지스터들 (MN13-MN16)로 구성되고, 제어 신호들 (PISOj0, PISOj1)에 응답하여 감지 증폭 회로 (31)를 우측 메모리 블록 (20)에/으로부터 전기적으로 연결/분리한다. 열 패스 게이트 (YG)는 2개의 NMOS 트랜지스터들 (MN17, MN18)로 구성되며, 열 선택 신호 (CSL0)에 응답하여 선택된 비트 라인들 (BL, BLB)을 입출력 라인들 (LIO, LIOB)에 전기적으로 연결한다.

<40> 본 발명의 오프셋 보상 증폭 회로는 전류 미러 증폭기로서 차동 증폭기와 스위치를 포함한다. 차동 증폭기는 PMOS 트랜지스터들 (MP3, MP4, MP5)과 NMOS 트랜지스터들 (MN19, MN20, MN22)으로 구성되며, 스위치는 NMOS 트랜지스터 (MN21)으로 구성된다. 도 3에 도시된 바와 같이, PMOS 트랜지스터들 (MP3, MP4)과 NMOS 트랜지스터들 (MN19, MN20)은 컨정션 영역 (40B)에 배치되는 반면에, PMOS 트랜지스터 (MP5)와 NMOS 트랜지스터들 (MN21, MN22)은 감지 증폭 영역 (30) 내에 배치된다. 컨정션 영역 (40B)에 배치된 PMOS 및 NMOS 트랜지스터들 (MP3, MP4, MN19, MN20)은 바이어스 전압을 발생하는 바이어스 전압 발생기를 구성하고, 감지 증폭 영역 (30)에 배치된 PMOS 및 NMOS 트랜지스터들 (MP5, MN22)은 트루 비트 라인의 전압 변화에 응답하여 컴플리먼트 비트 라인을 구동하는 반전 증폭기 (inverting amplifier)를 구성한다. 반전 증폭기가 CMOS 인버터와 같은 형태를 갖는 드라이버로서 동작함은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<41> 본 발명에 따른 오프셋 보상 증폭 회로의 차동 증폭기는, 도 1에 도시된 바와 같이, 제 1 및 제 2 입력 단자들 (+, -)과 출력 단자를 갖는다. 제 1 입력 단자

(+)은 기준 전압 (V_{ref})을 공급받는 NMOS 트랜지스터 (MN19)의 게이트이고, 제 2 입력 단자 (-)는 트루 비트 라인에 연결되는 NMOS 트랜지스터 (MN22)의 게이트이며, 출력 단자는 트랜지스터들 (MP5, MN22)의 접속 노드로 컴플리먼트 비트 라인에 연결된다.

<42> PMOS 트랜지스터 (MP5)는 전원 전압 (V_{CC})과 출력 단자 (또는 컴플리먼트 비트 라인) 사이에 형성되는 전류 통로와, 바이어스 전압을 전달하기 위한 신호 라인 (RP)에 연결된 게이트를 갖는다. NMOS 트랜지스터 (MN21)는 차동 증폭기의 출력 및 입력 단자들 사이에 형성된 전류 통로와, 제어 신호 (PSW)를 받아들이도록 연결된 게이트를 갖는다. 제 2 입력 단자로서 게이트가 트루 비트 라인 (BL 또는 BLB)에 연결되는 NMOS 트랜지스터 (MN22)는 출력 단자 (또는 컴플리먼트 비트 라인)와 신호 라인 (RN) 사이에 형성된 전류 통로를 갖는다.

<43> 여기서, PMOS 및 NMOS 트랜지스터들 (MP5, MN21, MN22)은, 바이어스 전압 발생기 (43)를 공유하도록, 각 비트 라인 쌍에 연결된 감지 증폭 회로 (31) 내에 동일한 회로 패턴으로 반복적으로 배치된다.

<44> 계속해서 도 3을 참조하면, PMOS 트랜지스터 (MP3)는 전원 전압 (V_{CC})에 연결된 소오스와, 바이어스 전압을 출력하기 위한 제 1 노드 즉, 신호 라인 (RP)에 각각 연결된 게이트 및 드레인을 갖는다. NMOS 트랜지스터 (MN19)는 제 1 노드로서 신호 라인 (RP)에 연결된 드레인, 제 2 노드 즉, 신호 라인 (RN)에 연결된 소오스, 그리고 기준 전압 (V_{ref})에 연결된 게이트를 갖는다. NMOS 트랜지스터 (MN20)는 신호 라인 (RN)과 접지 전압 (V_{SS}) 사이에 형성된 전류 통로와, 제어 신호 (POS)를 받아들이도록 연결된 게이트를 갖는다. 게이트가 제어 신호 (POS)를 받아들이도록 연결된 PMOS 트랜지스터 (MP4)는 전원 전압 (V_{CC})과 제 1 노드로서 신호 라인 (RP) 사이에 형성된 전류 통로를 갖는다.

- <45> 여기서, PMOS 트랜지스터들 (MP3, MP4)과 NMOS 트랜지스터들 (MN19, MN20)은 바이어스 전압을 생성하는 바이어스 전압 발생기를 구성하며, 감지 증폭 회로들 (31)의 각 반전 증폭기 (MP5, MN22)에 공통으로 사용된다. 도 1에 도시된 오프셋 보상 증폭 회로는 각 비트 라인 쌍에 대응하는 PMOS 및 NMOS 트랜지스터들 (MP5, MN21, MN22)과, 컨정선 영역 (40B)에 배치된 PMOS 및 NMOS 트랜지스터들 (MP3, MP4, MN19, MN20)으로 구성된다.
- <46> 본 발명에 따른 비트 라인 절연기들 (ISO_i, ISO_j) 각각은 비트 라인 절연 기능뿐만 아니라 비트 라인 스위치 기능을 수행한다. 예를 들면, 전자의 기능에 따르면, 비선택된 메모리 블록에 대응하는 비트 라인 절연기는 비선택된 메모리 블록의 비트 라인 쌍과 감지 증폭 회로를 전기적으로 분리시킨다. 후자의 기능에 따르면, 선택된 메모리 블록에 대응하는 비트 라인 절연기는 선택된 메모리 블록의 비트 라인들 (BL, BLB)을 감지 증폭 회로 (31)에 선택적으로 교차 연결한다.
- <47> 예를 들면, 선택된 메모리 블록의 비트 라인 (BL)이 컴플리먼트 비트 라인이고 선택된 메모리 블록의 비트 라인 (BLB)가 트루 비트 라인인 경우 (또는 선택된 메모리 셀이 BLB 라인에 연결되는 경우), 비트 라인 절연기 (ISO_i 또는 ISO_j)는 제어 신호들 (PISO_{i0}, PISO_{i1}) 또는 (PISO_{j0}, PISO_{j1})에 응답하여 트루 비트 라인 (BLB)을 차동 증폭기의 제 2 입력 단자 (즉, NMOS 트랜지스터 (MN22)의 게이트)에 연결하고 컴플리먼트 비트 라인 (BL)을 차동 증폭기의 출력 단자 (즉, PMOS 및 NMOS 트랜지스터들 (MP5, MN22)의 접속 노드)에 연결한다. 이는 제어 신호 (PISO_{i1} 또는 PISO_{j1})을 비활성화시키고 제어 신호 (PISO_{i0} 또는 PISO_{j0})를 활성화시킴으로써 이루어진다.
- <48> 반면에, 선택된 메모리 블록의 비트 라인 (BL)이 트루 비트 라인이고 선택된 메모리 블록의 비트 라인 (BLB)이 컴플리먼트 비트 라인인 경우 (또는 선택된 메모리 셀이

BL에 연결되는 경우), 비트 라인 절연기 (ISO_i 또는 ISO_j)는 제어 신호들 (PISO_{i0}, PISO_{i1}) 또는 (PISO_{j0}, PISO_{j1})에 응답하여 트루 비트 라인 (BL)을 차동 증폭기의 제 2 입력 단자 (즉, NMOS 트랜지스터 (MN22)의 게이트)에 연결하고 컴플리먼트 비트 라인 (BLB)을 차동 증폭기의 출력 단자 (즉, PMOS 및 NMOS 트랜지스터들 (MP5, MN22)의 접속 노드)에 연결한다. 이는 제어 신호 (PISO_{i1} 또는 PISO_{j1})를 활성화시키고 제어 신호 (PISO_{i0} 또는 PISO_{j0})를 비활성화시킴으로써 이루어진다.

<49> 트루 비트 라인을 차동 증폭기의 제 2 입력 단자로 스위치하는 구조가 사용됨에 따라 로컬 입출력 라인들 (LIO, LIOB) 역시 비트 라인들 (BL, BLB)과 동일한 방식으로 스위치되어야 한다. 즉, 로컬 입출력 라인들 (LIO, LIOB)은, 도 4에 도시된 바와 같이, 스위치 회로 (45)를 통해 그로벌 입출력 라인들 (GIO, GIOB)에 선택적으로 교차 연결된다. 스위치 회로 (45)는 4개의 NMOS 트랜지스터들 (MN23, MN24, MN25, MN26)로 구성된다. 제어 신호 (PCNT0)가 활성화될 때 로컬 입출력 라인들 (LIO, LIOB)은 그로벌 입출력 라인들 (GIO, GIOB)에 각각 이 순서로 연결된다. 제어 신호 (PCNT1)가 활성화될 때 로컬 입출력 라인들 (LIO, LIOB)은 그로벌 입출력 라인들 (GIOB, GIO)에 각각 이 순서로 연결된다.

<50> 본 발명의 바람직한 실시예에 있어서, 제어 신호들 (PISO_{i0}, PISO_{i1}, PISO_{j0}, PISO_{j1}, PCNT0, PCNT1)은 행 어드레스 중 최하위 어드레스 비트 (RA0)에 따라 선택적으로 활성화되도록 제어된다. 왜냐하면 도 3에 도시된 차동 증폭기의 제 2 입력 단자 (즉, MN22의 게이트)가 항상 트루 비트 라인에 연결되어야 하기 때문이다. 선택된 메모리 블록의 서브 워드 라인들 (SWL0-SWL_n) 중 홀수번째/짝수번째 서브 워드 라인이 선택되었는

지의 여부는 최하위 어드레스 비트에 의해서 결정된다. 짝수번째 서브 워드 라인 (예를 들면, SWL0)이 선택되는 경우, 비트 라인 (BL)이 트루 비트 라인이 되고 비트 라인 (BLB)이 컴플리먼트 비트 라인이 된다. 이때, 제어 신호들 (PISOi0 또는 PISOj0) 및 (PCNT0)은 활성화되는 반면에, 제어 신호들 (PISOi1, PISOj1, PCNT1)은 비활성화된다. 홀수번째 서브 워드 라인 (예를 들면, SWL1)이 선택되는 경우, 비트 라인 (BL)이 컴플리먼트 비트 라인이 되고 비트 라인 (BLB)이 트루 비트 라인이 된다. 이때, 제어 신호들 (PISOi1 또는 PISOj1) 및 (PCNT1)은 활성화되는 반면에, 제어 신호들 (PISOi0, PISOj0, PCNT0)은 비활성화된다.

<51> 도 5는 본 발명에 따른 반도체 메모리 장치의 읽기 동작을 설명하기 위한 동작 타이밍도이다. 본 발명에 따른 읽기 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다. 읽기 동작을 설명하기에 앞서, 도 3에서 좌측 메모리 블록 (10)의 서브 워드 라인 (SWLn)이 선택되었다고 가정하자. 이는 비트 라인 (BLB)이 트루 비트 라인이 되고 비트 라인 (BL)이 컴플리먼트 비트 라인이 됨을 의미한다.

<52> 먼저, 제어 신호 (PEQi)가 활성화됨에 따라 비트 라인들 (BL, BLB)은 비트 라인 등화기 (PEQi)에 의해서 프리차지 전압 (VBL)으로 프리차지된다. 행 활성화 이전에, 도 5에 도시된 바와 같이, 제어 신호들 (PSW, POS)이 동시에 활성화된다. 이는 본 발명의 오프셋 보상 증폭 회로가 동작하게 한다. 좀 더 구체적으로 설명하면 다음과 같다.

<53> 제어 신호 (POS)가 활성화됨에 따라, 컨정션 영역 (40B)에 배치된 바이어스 전압 발생기 (43)의 NMOS 트랜지스터 (MN20)가 턴 온된다. 기준 전압 (Vref)에 따라 신호 라인 (RP)에 바이어스 전압이 생성되고, 신호 라인 (RN)을 통해 반전 증폭기 (MP5, MN22)에 방전 경로가 제공된다. NMOS 트랜지스터 (MN21)는 제어 신호 (PSW)의 활성화에 응답

하여 차동 증폭기의 제 2 입력 단자와 출력 단자를 전기적으로 연결한다. 즉, 차동 증폭기에 부궤환 루프가 형성된다. 부궤환 루프의 결과로서, 기준 전압 (V_{ref})에 대한 차동 증폭기의 오프셋 전압 (V_{os})이 출력 단자에 나타난다. 출력 단자의 전압이 오프셋 전압 (V_{os})만큼 낮아짐에 따라, 차동 증폭기 (AMP)는 동일한 값으로서 입력 단자들의 전압들을 인식하게 된다. 이는 차동 증폭기의 오프셋 전압 (V_{os})가 제거되었음을 또는 차동 증폭기의 오프셋 전압 (V_{os})이 보상되었음을 의미한다. 기준 전압에 대한 차동 증폭기의 오프셋 전압이 보상됨에 따라, 도 5에 도시된 바와 같이, 비트 라인들 (BL, BLB)은 프리차지 전압보다 오프셋 전압만큼 낮은 전압을 갖는다. 그 다음에, 제어 신호 (PSW)는 행 활성화 이전에 (즉, 서브 워드 라인 (SWLn)가 활성화되기 이전에) 비활성화된다.

<54> 서브 워드 라인 (SWLn)이 활성화됨에 따라, 차지 세어링에 의해서 트루 비트 라인 (BLB)의 전압이 메모리 셀 (MC)에 저장된 데이터에 따라 가변된다. 예를 들면, 트루 비트 라인 (BLB)의 전압이 증가됨에 따라, 상대적으로 많은 양의 전류가 NMOS 트랜지스터 (MN22), 신호 라인 (RN), 그리고 NMOS 트랜지스터 (MN20)로 구성되는 방전 경로를 통해 방전된다. 이는 차동 증폭기의 출력 단자 (또는 컴플리먼트 비트 라인 (BL))의 전압이 빠르게 낮아짐을 의미한다. 다시 말해서, 차동 증폭기는 기준 전압 (V_{ref})과 트루 비트 라인 (BLB) 상의 변화된 전압 사이의 차를 감지 증폭하고, 증폭된 전압을 컴플리먼트 비트 라인 (BL)으로 출력한다. 비트 라인들 (BL, BLB) 사이의 전압차는, 도 5에 도시된 바와 같이, 오프셋 보상 증폭 회로에 의해서 1차로 충분히 증폭된다.

<55> 오프셋 보상 증폭 회로에 의해서 전압차가 증폭된 후, 플립-플롭 감지 증폭기는 신호 라인들 (LA, LAB)의 활성화에 응답하여 비트 라인들 (BL, BLB) 간의 전압차를 감지 증폭한다. 즉, P-래치 감지 증폭기 (PSA)는 상대적으로 높은 전압을 갖는 비트 라인을

전원 전압의 신호 라인 (LA)에 연결하고 N-래치 감지 증폭기 (NSA)는 상대적으로 낮은 전압을 갖는 비트 라인을 접지 전압의 전압 라인 (LAB)에 연결한다. 이는 플립-플롭 감지 증폭기가 자신의 오프셋 전압에 관계없이 비트 라인들 (BL, BLB) 간의 증폭된 전압차를 감지할 수 있음을 의미한다. 즉, 차지 세어링에 의해서 비트 라인에 유기된 전압이 플립-플롭 감지 증폭기의 오프셋 전압보다 작더라도, 본 발명의 오프셋 보상 증폭 회로는 트루 비트 라인의 미세한 전압 변화를 감지 증폭기 때문에, 플립-플롭 감지 증폭기는 자신의 오프셋 전압에 관계없이 비트 라인들 (BL, BLB) 간의 전압차를 감지할 수 있다. 이후, 서브 워드 라인 (SWLn)이 비활성화된 후, 비트 라인들 (BL, BLB)이 프리차지 전압 (VBL)으로 프리차지된다.

<56> 도 6a는 본 발명에 따른 오프셋 보상 증폭 회로가 적용되지 않은 반도체 메모리 장치에서 플립-플롭 감지 증폭기의 오프셋 전압이 없는 경우 비트 라인들 (BL, BLB)의 전압 변화를 보여주는 도면이다. 플립-플롭 감지 증폭기에 오프셋 전압이 존재하지 않은 경우, 도면에 도시된 바와 같이, 비트 라인들 (BL, BLB) 간의 미세한 전압차 ($\Delta VBL0$) 또는 ($\Delta VBL1$)은 플립-플롭 감지 증폭기에 의해서 정상적으로 감지 증폭된다.

<57> 도 6b는 본 발명에 따른 오프셋 보상 증폭 회로가 적용되지 않은 반도체 메모리 장치에서 플립-플롭 감지 증폭기의 오프셋 전압이 있는 경우 비트 라인들의 전압 변화를 보여주는 도면이다. 본 발명에 따른 오프셋 보상 증폭 회로가 적용되지 않은 반도체 메모리 장치에 있어서, 트루 비트 라인 (BL)에 유기되는 전압이 플립-플롭 감지 증폭기의 오프셋 전압보다 크지 않을 때, 오동작이 생길 수 있다. 예를 들면, 트루 비트 라인 (BL)의 전압이 프리차지 전압 (VBL)보다 높더라도/낮더라도, 도 6b에 도시된 바와 같이, 플립-플롭 감지 증폭기의 오프셋 전압으로 인해 트루 비트 라인 (BL)의 전압은 접지 전

압/전원 전압으로 컴플리먼트 비트 라인 (BLB)의 전압은 전원 전압/접지 전압으로 각각 증폭된다. 즉, 플립-플롭 감지 증폭기의 오프셋 전압으로 인해 셀 데이터가 정확하게 읽혀지지 않는다.

<58> 도 7a는 본 발명에 따른 오프셋 보상 증폭 회로가 적용된 반도체 메모리 장치에서 차동 증폭기의 오프셋 전압이 없는 경우 비트 라인들의 전압 변화를 보여주는 도면이다. 본 발명에 따른 오프셋 보상 증폭 회로가 사용되는 경우, 본 발명의 읽기 동작은 개략적으로 오프셋 보상 구간 (P1), 1차 감지 증폭 구간 (P2), 그리고 2차 감지 증폭 구간 (P3)으로 구분될 수 있다. 오프셋 보상 구간 (P1)에서는 차동 증폭기에 부궤환 루프가 형성되기 때문에 차동 증폭기의 오프셋 전압이 제거된다. 도 7a의 경우 오프셋 전압이 존재하지 않기 때문에, 비트 라인들 (BL, BLB)의 전압들은 거의 변화되지 않는다. 1차 감지 증폭 구간 (P2)에서는 서브 워드 라인이 활성화되며, 그 결과 트루 비트 라인의 전압이 셀 데이터에 따라 증가하거나 감소한다. 이때, 오프셋 보상 증폭 회로의 차동 증폭기는 트루 비트 라인의 전압 변화에 응답하여 컴플리먼트 비트 라인을 전압 변화에 대해 역방향으로 구동한다. 오프셋 전압이 보상되었기 때문에, 차동 증폭기는 트루 비트 라인의 미세한 전압 변화도 정확하게 감지할 수 있다. 2차 감지 증폭 구간 (P3)에서, 플립-플롭 감지 증폭기는 비트 라인들 (BL, BLB) 사이의 증폭된 전압차를 정상적으로 감지 증폭한다. 즉, 정상적으로 읽기 동작이 수행된다.

<59> 도 7b는 본 발명에 따른 오프셋 보상 증폭 회로가 적용된 반도체 메모리 장치에서 차동 증폭기의 오프셋 전압이 있는 경우 비트 라인들의 전압 변화를 보여주는 도면이다. 앞서 설명된 바와 같이, 본 발명에 따른 읽기 동작은 개략적으로 오프셋 보상 구간 (P1), 1차 감지 증폭 구간 (P2), 그리고 2차 감지 증폭 구간 (P3)으로 구분될 수 있다.

오프셋 보상 구간에서는 차동 증폭기에 부궤환 루프가 형성되기 때문에, 오프셋 보상 증폭 회로의 차동 증폭기의 오프셋 전압이 제거된다. 차동 증폭기의 기준 전압이 오프셋 전압만큼 높게 인식되는 경우, 도 7b에 도시된 바와 같이, 비트 라인들 (BL, BLB)의 전압들은 오프셋 전압만큼 증가된다. 즉, 기준 전압에 대한 차동 증폭기의 오프셋 전압이 보상된다. 1차 감지 증폭 구간 (P2)에서는 서브 워드 라인이 활성화되고, 그 결과 트루 비트 라인의 전압이 셀 데이터에 따라 증가하거나 감소한다. 이때, 오프셋 보상 증폭 회로의 차동 증폭기는 트루 비트 라인의 전압 변화에 응답하여 컴플리먼트 비트 라인을 전압 변화에 대해 역방향으로 구동한다. 오프셋 전압이 보상되었기 때문에, 차동 증폭기는 트루 비트 라인의 미세한 전압 변화도 정확하게 감지할 수 있다. 2차 감지 증폭 구간 (P3)에서, 플립-플롭 감지 증폭기는 비트 라인들 (BL, BLB) 사이의 증폭된 전압차를 정상적으로 감지 증폭한다.

<60> 도 7c는 본 발명에 따른 오프셋 보상 증폭 회로가 적용된 반도체 메모리 장치에서 차동 증폭기의 오프셋 전압이 있는 경우 비트 라인들의 전압 변화를 보여주는 도면이다. 앞서 설명된 것과 마찬가지로, 오프셋 보상 구간 (P1)에서는 부궤환 루프가 형성되기 때문에 차동 증폭기의 오프셋 전압이 제거된다. 기준 전압이 오프셋 전압만큼 낮게 인식되는 경우, 도 7c에 도시된 바와 같이, 비트 라인들 (BL, BLB)의 전압들은 오프셋 전압만큼 감소된다. 1차 감지 증폭 구간 (P2)에서는 서브 워드 라인이 활성화되고, 그 결과 트루 비트 라인의 전압이 셀 데이터에 따라 증가하거나 감소한다. 이때, 오프셋 보상 증폭 회로의 차동 증폭기는 트루 비트 라인의 전압 변화에 응답하여 컴플리먼트 비트 라인을 전압 변화에 대해 역방향으로 구동한다. 오프셋 전압이 보상되었기 때문에, 차동 증폭기는 트루 비트 라인의 미세한 전압 변화도 정확하게 감지할 수 있다. 2차 감지 증폭 구간

(P3)에서, 플립-플롭 감지 증폭기는 비트 라인들 (BL, BLB) 사이의 증폭된 전압차를 정상적으로 감지 증폭한다.

<61> 도 8은 본 발명의 제 2 실시예에 따른 오프셋 보상 회로 및 감지 증폭 회로를 보여주는 회로도이다. 본 발명의 제 2 실시예에 따른 반도체 메모리 장치는 열 선택 단위마다 방전 경로를 제공하기 위한 NMOS 트랜지스터 (MN27)가 추가되었다는 점을 제외하면 제 1 실시예와 동일하다. 제 2 실시예에 따른 반도체 메모리 장치에 대한 설명은 그러므로 생략된다. 제 2 실시예에 따른 반도체 메모리 장치의 경우, 신호 라인 (RP)과 달리, 신호 라인 (RN)은 행 방향을 따라 연속해서 배치되는 것이 아니라 열 선택 단위 (또는 리턴던시 단위)로 분리되어 있다. 각 분리된 신호 라인 (RN)은 제어 신호 (POS)에 따라 대응하는 NMOS 트랜지스터 (MN27)를 통해 접지 전압에 선택적으로 연결된다.

<62> 도 9는 본 발명의 제 3 실시예에 따른 오프셋 보상 회로 및 감지 증폭 회로를 보여주는 회로도이다.

<63> 도 9를 참조하면, 본 발명의 감지 증폭 회로 (31)는 메모리 블록들 (10)에 공유되며, 제 1 및 제 2 비트 라인 등화기들 (EQ_i, EQ_j), P-래치 감지 증폭기 (PSA), N-래치 감지 증폭기 (NSA), 제 1 및 제 2 비트 라인 절연기들 (ISO_i, ISO_j), 그리고 열 패스 게이트 (YG)를 포함한다. 도 9에 도시된 P-래치 감지 증폭기 (PSA), N-래치 감지 증폭기 (NSA), 그리고 열 패스 게이트 (YG)는 도 3에 도시된 것과 동일하며, 그것에 대한 설명은 그러므로 생략된다. 도 9에 도시된 제 1 및 제 2 비트 라인 절연기들 (ISO_i, ISO_j)는 도 3에 도시된 것과 달리 비트 라인 스위

치 기능을 갖지 않는다. 그러한 이유로, 도 9에 도시된 반도체 메모리 장치는 도 4에 도시된 바와 같은 스위치 회로 (45)를 필요로 하지 않는다. 즉, 도 9에 도시된 제 1 및 제 2 비트 라인 절연기들 (ISO_i, ISO_j)은 단지 비트 라인 절연 기능만을 가지며, 이는 이하 상세히 설명될 것이다.

<64> 도 3의 반도체 메모리 장치가 비트 라인 스위치 구조를 이용한 것과 달리, 도 9에 도시된 반도체 메모리 장치는 2개의 차동 증폭기들 (43_0, 44_0) 및 (43_E, 44_E)과 하나의 스위치 (MN43)를 이용하여 구현된 오프셋 보상 증폭 회로를 포함한다. 하나의 차동 증폭기는 비트 라인 (BL)이 트루 비트 라인일 때 동작하고, 다른 차동 증폭기는 비트 라인 (BLB)이 트루 비트 라인일 때 동작한다. 예를 들면, 제 1 차동 증폭기 (43_0, 44_E)는 비트 라인 (BLB)이 트루 비트 라인일 때 동작하고, 제 2 차동 증폭기 (43_0, 44_E)는 비트 라인 (BL)이 트루 비트 라인일 때 동작한다. 즉, 제 1 및 제 2 차동 증폭기들은 배타적으로 동작한다.

<65> 제 1 차동 증폭기 (43_0, 44_0)는 바이어스 전압 발생기 (43_0)와 반전 증폭기 (44_E)로 구성된다. 바이어스 전압 발생기 (43_0)는 2개의 PMOS 트랜지스터들 (MP13, MP14)와 2개의 NMOS 트랜지스터들 (MN49, MN50)로 구성되며, 이는 컨정션 영역 (40B)에 배치된다. PMOS 트랜지스터 (MP13)는 전원 전압 (VCC)에 연결된 소오스와, 바이어스 전압을 출력하기 위한 제 1 노드 즉, 신호 라인 (RP_0)에 각각 연결된 게이트 및 드레인을 갖는다. NMOS 트랜지스터들 (MN49, MN50)의 전류 경로들은 제 1 노드로서 신호 라인 (RP_0)과 접지 전압 사이에 직렬 형성된다. NMOS 트랜지스터 (MN49)의 게이트에는 기준 전압 (Vref)이 인가되고, NMOS 트랜지스터

(MN50)의 게이트에는 제어 신호 (POS0)가 인가된다. 게이트가 제어 신호 (POS0) 라인에 연결된 PMOS 트랜지스터 (MP14)는 전원 전압 (VCC)과 신호 라인 (RP_0) 사이에 형성된 전류 통로를 갖는다.

<66> 반전 증폭기 (44_E)는 하나의 PMOS 트랜지스터 (MP12)와 2개의 NMOS 트랜지스터들 (MN45, MN46)로 구성되며, 감지 증폭 영역 (30)에 배치된다. PMOS 트랜지스터 (MP12)는 전원 전압과 제 1 차동 증폭기의 출력 단자 즉, 컴플리먼트 비트 라인 사이에 형성된 전류 통로와, 바이어스 전압을 전달하기 위한 신호 라인 (RP_0)에 연결된 게이트를 갖는다. NMOS 트랜지스터들 (MN45, MN46)의 전류 통로들은 제 1 차동 증폭기의 출력 단자 (또는 컴플리먼트 비트 라인)와 접지 전압 사이에 직렬로 형성된다. NMOS 트랜지스터 (MN45)의 게이트는 제 1 차동 증폭기의 제 2 입력 단자로 트루 비트 라인에 연결되고, NMOS 트랜지스터 (MN46)의 게이트는 제어 신호 (POS0) 라인에 연결된다.

<67> 계속해서 도 9를 참조하면, 제 2 차동 증폭기 (43_E, 44_E)는 바이어스 전압 발생기 (43_E)와 반전 증폭기 (44_E)로 구성된다. 바이어스 전압 발생기 (43_E)는 2개의 PMOS 트랜지스터들 (MP16, MP17)과 2개의 NMOS 트랜지스터들 (MN51, MN52)로 구성되며, 이는 컨정션 영역 (40B)에 배치된다. PMOS 트랜지스터 (MP16)는 전원 전압 (VCC)에 연결된 소오스와, 바이어스 전압을 출력하기 위한 제 1 노드 즉, 신호 라인 (RP_E)에 각각 연결된 게이트 및 드레인을 갖는다. NMOS 트랜지스터들 (MN51, MN52)의 전류 경로들은 제 2 노드로서 신호 라인 (RP_E)과 접지 전압 사이에 직렬 형성된다. NMOS 트랜지스터 (MN51)의 게이트에는 기준 전압 (Vref)이 인가되고,

NMOS 트랜지스터 (MN52)의 게이트에는 제어 신호 (POSE)가 인가된다. 게이트가 제어 신호 (POSE) 라인에 연결된 PMOS 트랜지스터 (MP17)는 전원 전압 (VCC)과 신호 라인 (RP_E) 사이에 형성된 전류 통로를 갖는다.

<68> 반전 증폭기 (44_E)는 하나의 PMOS 트랜지스터 (MP15)와 2개의 NMOS 트랜지스터들 (MN47, MN48)로 구성되며, 감지 증폭 영역 (30)에 배치된다. PMOS 트랜지스터 (MP15)는 전원 전압 (VCC)과 제 2 차동 증폭기의 출력 단자 즉, 컴플리먼트 비트 라인 사이에 형성된 전류 통로와, 바이어스 전압을 전달하기 위한 신호 라인 (RP_E)에 연결된 게이트를 갖는다. NMOS 트랜지스터들 (MN47, MN48)의 전류 통로들은 제 2 차동 증폭기의 출력 단자와 접지 전압 사이에 직렬로 형성된다. NMOS 트랜지스터 (MN47)의 게이트는 제 2 차동 증폭기의 제 2 입력 단자로 트루 비트 라인에 연결되고, NMOS 트랜지스터 (MN48)의 게이트는 제어 신호 (POSE) 라인에 연결된다.

<69> 이 실시예에 있어서, 선택된 메모리 블록의 서브 워드 라인들 (SWL0-SWL_n) 중 짝수 번째 서브 워드 라인 (예를 들면, SWL0, SWL2, SWL4, SWL8, ..., SWL_n-1 중 하나)이 선택될 때, 비트 라인 (예를 들면, BL)은 트루 비트 라인이 되고 비트 라인 (예를 들면, BLB)은 컴플리먼트 비트 라인이 된다. 이때, 제어 신호 (POSE)는 활성화되는 반면에 제어 신호 (POS0)는 비활성화된다. 이는 제 2 차동 증폭기 (43_E, 44_E)을 포함한 오프셋 보상 증폭 회로가 동작함을 의미한다. 제어 신호들 (POS0, POSE)는 행 어드레스의 최하위 어드레스 비트에 따라 선택적으로 활성화된다. 이러한 점을 제외하면, 도 9에 도시된 반도체 메모리 장치는 도 3에 도시된 것과 실질적으로 동일하게 동작하며, 그것에 대한 설명은 그러므로 생략된다.

<70> 도 2에 도시된 바와 같이, 제 1 및 제 2 차동 증폭기들을 구성하는 바이어스 전압 발생기들 (43_0, 43_E)은 동일한 컨정선 영역 (40B)에 함께 배치될 수 있다. 또는, 도 10에 도시된 바와 같이, 바이어스 전압 발생기들 (43_0, 43_E)이 컨정선 영역들 (40B)에 번갈아 배치될 수 있다.

<71> 도 11은 본 발명의 제 4 실시예에 따른 오프셋 보상 회로 및 감지 증폭 회로를 보여주는 회로도이다. 본 발명의 제 4 실시예에 따른 반도체 메모리 장치는 다음과 같은 점을 제외하면 제 3 실시예와 동일하다. 제 1 차동 증폭기에 있어서, 반전 증폭기 (44_0)에 포함된 NMOS 트랜지스터 (MN46)가 열 선택 단위의 감지 증폭 회로들에 공통으로 사용된다. NMOS 트랜지스터 (MN46)는 제 1 바이어스 전압 발생기 (43_0)의 제어 신호 (POS0)에 따라 턴 온/오프된다. 마찬가지로, 제 2 차동 증폭기에 있어서, 반전 증폭기 (44_E)에 포함된 NMOS 트랜지스터 (MN48)가 열 선택 단위의 감지 증폭 회로들에 공통으로 사용된다. NMOS 트랜지스터 (MN48)는 제 2 바이어스 전압 발생기 (43_E)의 제어 신호 (POSE)에 따라 턴 온/오프된다.

<72> 도 12는 본 발명의 제 5 실시예에 따른 오프셋 보상 증폭 회로를 포함한 반도체 메모리 장치의 레이아웃 구조를 보여주는 도면이다. 도 12에 있어서, 도 2에 도시된 구성 요소들과 동일한 기능을 수행하는 구성 요소들은 동일한 참조 번호들로 표기되며, 그것에 대한 설명은 그러므로 생략된다. 도 12를 참조하면, 신호 라인들 (RN, RP)은 도 2에 도시된 것과 달리 컨정선 영역들 (40A)을 기준으로 분리되어 있다. 즉, 차동 증폭기의 바이어스 전압 발생 회로 (43)는 인접한 감지 증폭 영역들 (30)에서만 사용된다. 이러한 점을 제외하면, 본 발명에 따른 오프셋 보상 증폭 회로의 동작은 도 3에 도시된 것 (43, 44)과 실질적으로 동일하며, 그것에 대한 설명은 그러므로 생략된다.

<73> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<74> 상술한 바와 같이, 플립-플롭 감지 증폭기가 자신의 오프셋 전압에 무관하게 안정된 감지 동작을 수행하게 하는 오프셋 보상 증폭 회로가 감지 증폭 영역과 컨정선 영역에 각각 분산 배치된다. 따라서, 현재의 설계 및 공정 기술을 이용하여 오프셋 보상 증폭 회로를 실질적으로 적용하는 것이 가능하다.

【특허청구범위】**【청구항 1】**

제 1 영역에 배치되며, 복수 개의 메모리 셀들이 각각 연결되는 제 1 및 제 2 비트 라인들과;

소정의 기준 전압을 기준으로 상기 제 1 및 제 2 비트 라인들 중 하나의 전압 변화를 검출하고, 검출 결과에 따라 다른 비트 라인을 구동하는 오프셋 보상 증폭 회로와; 그리고

제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 간의 전압차를 감지 증폭하는 감지 증폭 회로를 포함하며,

상기 오프셋 보상 증폭 회로는 상기 하나의 비트 라인의 전압 변화를 검출하기 이전에 제 1 제어 신호에 응답하여 상기 기준 전압에 대한 오프셋 전압을 보상하고; 그리고 상기 오프셋 보상 증폭 회로의 일부는 상기 제 2 영역에 배치되고 상기 오프셋 보상 증폭 회로의 나머지 부분은 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 오프셋 보상 증폭 회로는 행 활성화 (row activation) 이전에 동작하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 오프셋 보상 증폭 회로는 상기 감지 증폭 회로의 활성화 이전에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 1 항에 있어서,

상기 오프셋 보상 증폭 회로는 상기 감지 증폭 회로의 활성화 이후에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 오프셋 보상 증폭 회로는

상기 제 1 비트 라인에 연결된 제 1 입력 단자, 상기 기준 전압을 공급받는 제 2 입력 단자, 그리고 상기 제 2 비트 라인에 연결된 출력 단자를 갖는 차동 증폭기와; 그리고

상기 출력 단자와 상기 제 1 입력 단자 사이에 연결되며, 상기 제 1 제어 신호에 응답하여 동작하는 스위치를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 1 항에 있어서,

상기 오프셋 보상 증폭 회로는

제 2 제어 신호에 응답하여 동작하며, 기준 전압에 따라 바이어스 전압을 발생하는 제 1 수단과;

상기 바이어스 전압을 공급받으며, 상기 하나의 비트 라인의 전압 변화에 응답하여
상기 다른 비트 라인의 전압을 설정하는 제 2 수단과; 그리고

상기 제 1 및 제 2 비트 라인들 사이에 연결되며, 상기 제 1 제어 신호에 응답하여
동작하는 스위치를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 스위치와 상기 제 2 수단은 상기 제 2 영역에 배치되고, 상기 제 1 수단은 상
기 제 3 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 제 3 영역에는 상기 감지 증폭 회로를 구동하기 위한 드라이버들이 배치되는
것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 6 항에 있어서,

상기 기준 전압은 비트 라인 프리차지 전압인 것을 특징으로 하는 반도체 메모리
장치.

【청구항 10】

제 6 항에 있어서,

상기 기준 전압은 비트 라인 프리차지 전압보다 높은 것을 특징으로 하는 반도체
메모리 장치.

【청구항 11】

제 6 항에 있어서,

상기 제 1 수단은

전원 전압과 상기 바이어스 전압을 출력하기 위한 제 1 내부 노드 사이에 형성되는 전류 통로와, 상기 제 1 내부 노드에 연결된 게이트를 갖는 제 1 트랜지스터와;

상기 제 1 내부 노드와 제 2 내부 노드 사이에 형성되는 전류 통로와, 상기 기준 전압을 받아들이도록 연결된 게이트를 갖는 제 2 트랜지스터와; 그리고

상기 제 2 내부 노드와 접지 전압 사이에 형성되는 전류 통로와, 상기 제 2 제어 신호를 받아들이도록 연결된 게이트를 갖는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 11 항에 있어서,

상기 제 1 수단은 상기 전원 전압과 상기 제 1 내부 노드 사이에 형성되는 전류 통로와, 상기 제 2 제어 신호를 받아들이도록 연결된 게이트를 갖는 제 4 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제 12 항에 있어서,

상기 제 2 수단은

상기 전원 전압과 상기 다른 비트 라인 사이에 형성되는 전류 통로와, 상기 바이어스 전압을 공급받는 게이트를 갖는 제 5 트랜지스터와; 그리고

상기 출력 단자와 상기 제 2 내부 노드 사이에 형성되는 전류 통로와, 상기 하나의 비트 라인에 연결되는 게이트를 갖는 제 6 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제 5 항에 있어서,

제 1 및 제 2 게이트 신호들에 응답하여 동작하며, 상기 제 1 및 제 2 비트 라인들과 상기 차동 증폭기 사이에 연결되는 게이트 회로를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

제 14 항에 있어서,

상기 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 1 비트 라인을 상기 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 2 비트 라인을 상기 차동 증폭기의 출력 단자에 각각 연결하며, 상기 차동 증폭기의 제 2 입력 단자는 상기 기준 전압을 공급받는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제 14 항에 있어서,

상기 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 2 비트 라인을 상기 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 1 비트 라인을 상기 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제 12 항에 있어서,

상기 제 2 수단은

상기 전원 전압과 상기 다른 비트 라인 사이에 형성된 전류 통로와, 상기 제 2 내부 노드에 연결된 게이트를 갖는 제 5 트랜지스터와;

상기 제 2 비트 라인과 제 3 내부 노드 사이에 형성된 전류 통로와, 상기 하나의 비트 라인에 연결된 게이트를 갖는 제 6 트랜지스터와; 그리고

상기 제 3 내부 노드와 상기 접지 전압 사이에 형성된 전류 통로와, 상기 제 2 제어 신호를 받아들이도록 연결된 게이트를 갖는 제 7 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

제 1 영역에 배치되는 복수 개의 메모리 셀들이 각각 연결되는 제 1 및 제 2 비트 라인들과;

제 1 제어 신호에 응답하여 동작하며, 기준 전압에 따라 바이어스 전압을 발생하는 바이어스 전압 발생 회로와;

상기 바이어스 전압을 공급받으며, 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 드라이버 회로와;

제 2 제어 신호에 응답하여 상기 제 1 및 제 2 비트 라인들을 전기적으로 연결하는 스위치와; 그리고

제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 사이의 전압차를 감지 증폭하는 감지 증폭 회로를 포함하며,

상기 바이어스 전압 발생 회로와 상기 드라이버 회로는 차동 증폭기를 구성하며;
그리고

상기 드라이버 회로와 상기 스위치는 상기 제 2 영역에 배치되는 반면에, 상기 바이어스 전압 발생 회로는 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 19】

제 18 항에 있어서,

상기 제 1 제어 신호는 행 활성화 이전에 활성화되고, 상기 감지 증폭 회로의 활성화 전에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 20】

제 18 항에 있어서,

상기 제 1 제어 신호는 행 활성화 이전에 활성화되고, 상기 감지 증폭 회로의 활성화 후에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 21】

제 18 항에 있어서,

상기 제 2 제어 신호는 행 활성화 이전에 소정 시간 동안 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 22】

제 18 항에 있어서,

상기 기준 전압은 비트 라인 프리차지 전압인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 23】

제 22 항에 있어서,

상기 기준 전압은 비트 라인 프리차지 전압보다 높은 것을 특징으로 하는 반도체 메모리 장치.

【청구항 24】

제 22 항에 있어서,

상기 제 3 영역에는 상기 감지 증폭 회로를 구동하기 위한 드라이버들이 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 25】

제 22 항에 있어서,

상기 바이어스 전압 발생 회로는

전원 전압과 상기 바이어스 전압을 출력하기 위한 제 1 내부 노드 사이에 형성되는 전류 통로와, 상기 제 1 내부 노드에 연결된 게이트를 갖는 제 1 트랜지스터와;

상기 제 1 내부 노드와 제 2 내부 노드 사이에 형성되는 전류 통로와, 상기 기준 전압을 받아들이도록 연결된 게이트를 갖는 제 2 트랜지스터와;

상기 제 2 내부 노드와 접지 전압 사이에 형성되는 전류 통로와, 상기 제 1 제어 신호를 받아들이도록 연결된 게이트를 갖는 제 3 트랜지스터와; 그리고

상기 전원 전압과 상기 제 1 내부 노드에 사이에 형성되는 전류 통로와, 상기 제 1 제어 신호를 받아들이도록 연결된 게이트를 갖는 제 4 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 26】

제 25 항에 있어서,

상기 드라이버 회로는

상기 전원 전압과 상기 제 2 비트 라인 사이에 형성되는 전류 통로와, 상기 제 1 내부 노드에 연결되는 게이트를 갖는 제 5 트랜지스터와; 그리고

상기 제 2 비트 라인과 상기 제 2 내부 노드 사이에 형성되는 전류 통로와, 상기 제 1 비트 라인에 연결되는 게이트를 갖는 제 6 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 27】

제 22 항에 있어서,

제 1 및 제 2 게이트 신호들에 응답하여 동작하며, 상기 제 1 및 제 2 비트 라인들과 상기 차동 증폭기 사이에 연결되는 게이트 회로를 더 포함하며, 상기 차동 증폭기는 상기 제 1 비트 라인에 연결된 제 1 입력 단자, 상기 기준 전압을 공급받는 제 2 입력 단자, 그리고 상기 제 2 비트 라인에 연결된 출력 단자를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 28】

제 27 항에 있어서,

상기 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 1 비트 라인을 상기 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 2 비트 라인을 상기 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 29】

제 28 항에 있어서,

상기 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 2 비트 라인을 상기 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 1 비트 라인을 상기 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 30】

제 25 항에 있어서,

상기 드라이버 회로는

상기 전원 전압과 상기 제 2 비트 라인 사이에 형성된 전류 통로와, 상기 제 2 내부 노드에 연결된 게이트를 갖는 제 5 트랜지스터와;

상기 제 2 비트 라인과 제 3 내부 노드 사이에 형성된 전류 통로와, 상기 제 1 비트 라인에 연결된 게이트를 갖는 제 6 트랜지스터와;

상기 제 3 내부 노드와 상기 접지 전압 사이에 형성된 전류 통로와, 상기 제 2 제어 신호를 받아들이도록 연결된 게이트를 갖는 제 7 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 31】

제 22 항에 있어서,

상기 제 1 및 제 2 제어 신호들이 활성화될 때 상기 스위치를 통해 상기 차동 증폭기에 부궤환 루프가 형성되며, 그 결과 상기 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 32】

제 31 항에 있어서,

상기 드라이버 회로는 상기 차동 증폭기의 입력 오프셋 전압이 제거된 후 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 33】

제 1 영역에 배치되는 복수 개의 메모리 셀들이 각각 연결되는 제 1 내지 제 4 비트 라인들과;

제 1 제어 신호에 응답하여 동작하며, 기준 전압에 따라 바이어스 전압을 발생시키는 바이어스 전압 발생 회로와;

상기 바이어스 전압을 공급받으며, 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 제 1 드라이버 회로와;

상기 바이어스 전압을 공급받으며, 상기 제 3 비트 라인의 전압 변화에 응답하여 상기 제 4 비트 라인을 구동하는 제 2 드라이버 회로와;

제 2 제어 신호에 응답하여 상기 제 1 및 제 2 비트 라인들을 전기적으로 연결하는 제 1 스위치와;

상기 제 2 제어 신호에 응답하여 상기 제 3 및 제 4 비트 라인들을 전기적으로 연결하는 제 2 스위치와;

상기 제 1 제어 신호에 응답하여 상기 제 1 및 제 2 드라이버 회로들에 방전 경로를 각각 제공하는 제 3 스위치와; 그리고

제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 사이의 그리고 상기 제 3 및 제 4 비트 라인들 사이의 전압차를 각각 감지 증폭하는 감지 증폭 회로를 포함하며,

상기 바이어스 전압 발생 회로, 상기 제 1 드라이버 회로, 그리고 상기 제 3 스위치는 제 1 차동 증폭기를 구성하고 상기 바이어스 전압 발생 회로, 상기 제 2 드라이버 회로, 그리고 상기 제 3 스위치는 제 2 차동 증폭기를 구성하며; 그리고

상기 제 1 및 제 2 드라이버 회로들과 상기 제 1 내지 제 3 스위치들은 상기 제 2 영역에 배치되는 반면에 상기 바이어스 전압 발생 회로는 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 34】

제 33 항에 있어서,

상기 제 3 영역에는 상기 감지 증폭 회로를 구동하기 위한 드라이버들이 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 35】

제 33 항에 있어서,

상기 제 1 제어 신호는 행 활성화 이전에 활성화되고, 상기 감지 증폭 회로의 활성화 전에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 36】

제 33 항에 있어서,

상기 제 1 제어 신호는 행 활성화 이전에 활성화되고, 상기 감지 증폭 회로의 활성화 후에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 37】

제 33 항에 있어서,

상기 제 2 제어 신호는 행 활성화 이전에 소정 시간 동안 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 38】

제 33 항에 있어서,

상기 기준 전압은 비트 라인 프리차지 전압인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 39】

제 33 항에 있어서,

상기 기준 전압은 비트 라인 프리차지 전압보다 높은 것을 특징으로 하는 반도체 메모리 장치.

【청구항 40】

제 33 항에 있어서,

상기 제 1 드라이버 회로는

상기 전원 전압과 상기 제 2 비트 라인 사이에 형성되는 전류 통로와, 상기 바이어스 전압에 연결되는 게이트를 갖는 제 1 트랜지스터와; 그리고

상기 제 2 비트 라인과 상기 제 3 스위치 사이에 형성되는 전류 통로와, 상기 제 1 비트 라인에 연결되는 게이트를 갖는 제 2 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 41】

제 33 항에 있어서,

상기 제 2 드라이버 회로는

상기 전원 전압과 상기 제 2 비트 라인 사이에 형성되는 전류 통로와, 상기 바이어스 전압에 연결되는 게이트를 갖는 제 1 트랜지스터와; 그리고

상기 제 2 비트 라인과 상기 제 3 스위치 사이에 형성되는 전류 통로와, 상기 제 1 비트 라인에 연결되는 게이트를 갖는 제 2 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 42】

제 33 항에 있어서,

제 1 및 제 2 게이트 신호들에 응답하여 동작하며, 상기 제 1 및 제 2 비트 라인들과 상기 제 1 차동 증폭기 사이에 연결되는 제 1 게이트 회로와; 그리고

상기 제 1 및 제 2 게이트 신호들에 응답하여 동작하며, 상기 제 3 및 제 4 비트 라인들과 상기 제 2 차동 증폭기 사이에 연결되는 제 2 게이트 회로를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 43】

제 42 항에 있어서,

상기 제 1 차동 증폭기는 상기 제 1 비트 라인에 연결된 제 1 입력 단자, 상기 기준 전압을 공급받는 제 2 입력 단자, 그리고 상기 제 2 비트 라인에 연결된 출력 단자를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 44】

제 43 항에 있어서,

상기 제 1 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 1 비트 라인을 상기 제 1 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 2 비트 라인을 상기 제 1 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 45】

제 43 항에 있어서,

상기 제 1 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 2 비트 라인을 상기 제 1 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 1 비트 라인을 상기 제 1 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 46】

제 42 항에 있어서,

상기 제 2 차동 증폭기는 상기 제 3 비트 라인에 연결된 제 1 입력 단자, 상기 기준 전압을 공급받는 제 2 입력 단자, 그리고 상기 제 4 비트 라인에 연결된 출력 단자를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 47】

제 46 항에 있어서,

상기 제 2 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 3 비트 라인을 상기 제 2 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 4 비트 라인을 상기 제 2 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 48】

제 47 항에 있어서,

상기 제 2 게이트 회로는 상기 제 1 및 제 2 게이트 신호들에 응답하여 상기 제 4 비트 라인을 상기 제 2 차동 증폭기의 제 1 입력 단자에 그리고 상기 제 3 비트 라인을 상기 제 2 차동 증폭기의 출력 단자에 각각 연결하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 49】

제 33 항에 있어서,

상기 제 1 및 제 2 제어 신호들이 활성화될 때 상기 제 1 스위치를 통해 상기 제 1 차동 증폭기에 부궤환 루프가 형성되며, 그 결과 상기 제 1 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 50】

제 49 항에 있어서,

상기 제 1 드라이버 회로는 상기 제 1 차동 증폭기의 입력 오프셋 전압이 제거된 후 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 51】

제 33 항에 있어서,

상기 제 1 및 제 2 제어 신호들이 활성화될 때 상기 제 2 스위치를 통해 상기 제 2 차동 증폭기에 부궤환 루프가 형성되며, 그 결과 상기 제 2 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 52】

제 51 항에 있어서,

상기 제 2 드라이버 회로는 상기 제 2 차동 증폭기의 입력 오프셋 전압이 제거된 후 상기 제 3 비트 라인의 전압 변화에 응답하여 상기 제 4 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 53】

제 1 영역에 배치되는 복수 개의 메모리 셀들이 각각 연결되는 제 1 및 제 2 비트 라인들과;

제 1 제어 신호에 응답하여 동작하며, 기준 전압에 따라 제 1 바이어스 전압을 발생하는 제 1 바이어스 전압 발생 회로와;

제 2 제어 신호에 응답하여 동작하며, 상기 기준 전압에 따라 제 2 바이어스 전압을 발생하는 제 2 바이어스 전압 발생 회로와;

상기 제 1 바이어스 전압을 공급받으며, 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 제 1 드라이버 회로와;

상기 제 2 바이어스 전압을 공급받으며, 상기 제 2 비트 라인의 전압 변화에 응답하여 상기 제 1 비트 라인을 구동하는 제 2 드라이버 회로와;

제 3 제어 신호에 응답하여 상기 제 1 및 제 2 비트 라인들을 전기적으로 연결하는 스위치와; 그리고

제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 사이의 전압차를 감지 증폭하는 감지 증폭 회로를 포함하며,

상기 제 1 바이어스 전압 발생 회로와 상기 제 1 드라이버 회로는 제 1 차동 증폭기를 구성하고 상기 제 2 바이어스 전압 발생 회로와 상기 제 2 드라이버 회로는 제 2 차동 증폭기를 구성하며; 그리고

상기 제 1 및 제 2 드라이버 회로들과 상기 스위치는 상기 제 2 영역에 배치되는 반면에 상기 제 1 및 제 2 바이어스 전압 발생 회로들은 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 54】

제 53 항에 있어서,

상기 제 3 영역에는 상기 감지 증폭 회로를 구동하기 위한 드라이버들이 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 55】

제 53 항에 있어서,

상기 제 1 및 제 2 제어 신호들은 상보적인 신호들인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 56】

제 53 항에 있어서,

상기 제 1 및 제 2 제어 신호들 각각은 행 활성화 이전에 활성화되고, 상기 감지 증폭 회로의 활성화 전후에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 57】

제 53 항에 있어서,

상기 제 3 제어 신호는 행 활성화 이전에 소정 시간 동안 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 58】

제 53 항에 있어서,

상기 제 1 및 제 3 제어 신호들이 활성화될 때 상기 스위치를 통해 상기 제 1 차동 증폭기에 부궤환 루프가 형성되며, 그 결과 상기 제 1 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 59】

제 58 항에 있어서,

상기 제 1 드라이버 회로는 상기 제 1 차동 증폭기의 입력 오프셋 전압이 제거된 후 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 60】

제 53 항에 있어서,

상기 제 2 및 제 3 제어 신호들이 활성화될 때 상기 스위치를 통해 상기 제 2 차동 증폭기에 부궤환 루프가 형성되며, 그 결과 상기 제 2 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 61】

제 60 항에 있어서,

상기 제 2 드라이버 회로는 상기 제 2 차동 증폭기의 입력 오프셋 전압이 제거된 후 상기 제 2 비트 라인의 전압 변화에 응답하여 상기 제 1 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 62】

제 1 영역에 배치되는 복수 개의 메모리 셀들이 각각 연결되는 제 1 내지 제 4 비트 라인들과;

제 1 제어 신호에 응답하여 동작하며, 기준 전압에 따라 제 1 바이어스 전압을 발생하는 제 1 바이어스 전압 발생 회로와;

제 2 제어 신호에 응답하여 동작하며, 상기 기준 전압에 따라 제 2 바이어스 전압을 발생하는 제 2 바이어스 전압 발생 회로와;

상기 제 1 바이어스 전압을 공급받으며, 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 제 1 드라이버 회로와;

상기 제 2 바이어스 전압을 공급받으며, 상기 제 3 비트 라인의 전압 변화에 응답하여 상기 제 4 비트 라인을 구동하는 제 2 드라이버 회로와;

제 3 제어 신호에 응답하여 상기 제 1 및 제 2 비트 라인들을 전기적으로 연결하는 제 1 스위치와;

상기 제 3 제어 신호에 응답하여 상기 제 3 및 제 4 비트 라인들을 전기적으로 연결하는 제 2 스위치와;

상기 제 1 제어 신호에 응답하여 상기 제 1 드라이버 회로에 방전 경로를 제공하는 제 3 스위치와;

상기 제 2 제어 신호에 응답하여 상기 제 2 드라이버 회로에 방전 경로를 제공하는 제 4 스위치와; 그리고

제 2 영역에 배치되며, 상기 제 1 및 제 2 비트 라인들 사이의 그리고 상기 제 3 및 제 4 비트 라인들 사이의 전압차를 각각 감지 증폭하는 감지 증폭 회로를 포함하며,

상기 제 1 바이어스 전압 발생 회로, 상기 제 1 드라이버 회로, 그리고 상기 제 3 스위치는 제 1 차동 증폭기를 구성하고 상기 제 2 바이어스 전압 발생 회로, 상기 제 2 드라이버 회로, 그리고 상기 제 4 스위치는 제 2 차동 증폭기를 구성하며; 그리고

상기 제 1 및 제 2 드라이버 회로들과 상기 제 1 내지 제 4 스위치들은 상기 제 2 영역에 배치되는 반면에 상기 바이어스 전압 발생 회로는 상기 제 1 및 제 2 영역들과 다른 곳에 위치한 제 3 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 63】

제 62 항에 있어서,

상기 제 3 영역에는 상기 감지 증폭 회로를 구동하기 위한 드라이버들이 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 64】

제 62 항에 있어서,

상기 제 1 및 제 2 제어 신호들은 상보적인 신호들인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 65】

제 64 항에 있어서,

상기 제 1 및 제 2 제어 신호들 각각은 행 활성화 이전에 활성화되고, 상기 감지 증폭 회로의 활성화 전후에 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 66】

제 62 항에 있어서,

상기 제 3 제어 신호는 행 활성화 이전에 소정 시간 동안 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 67】

제 62 항에 있어서,

상기 제 1 및 제 3 제어 신호들이 활성화될 때 상기 제 1 스위치를 통해 상기 제 1 차동 증폭기에 부재환 루프가 형성되며, 그 결과 상기 제 1 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 68】

제 67 항에 있어서,

상기 제 1 드라이버 회로는 상기 제 1 차동 증폭기의 출력 오프셋 전압이 제거된 후 상기 제 1 비트 라인의 전압 변화에 응답하여 상기 제 2 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 69】

제 62 항에 있어서,

상기 제 2 및 제 3 제어 신호들이 활성화될 때 상기 제 2 스위치를 통해 상기 제 2 차동 증폭기에 부재환 루프가 형성되며, 그 결과 상기 제 2 차동 증폭기의 입력 오프셋 전압이 제거되는 것을 특징으로 하는 반도체 메모리 장치.

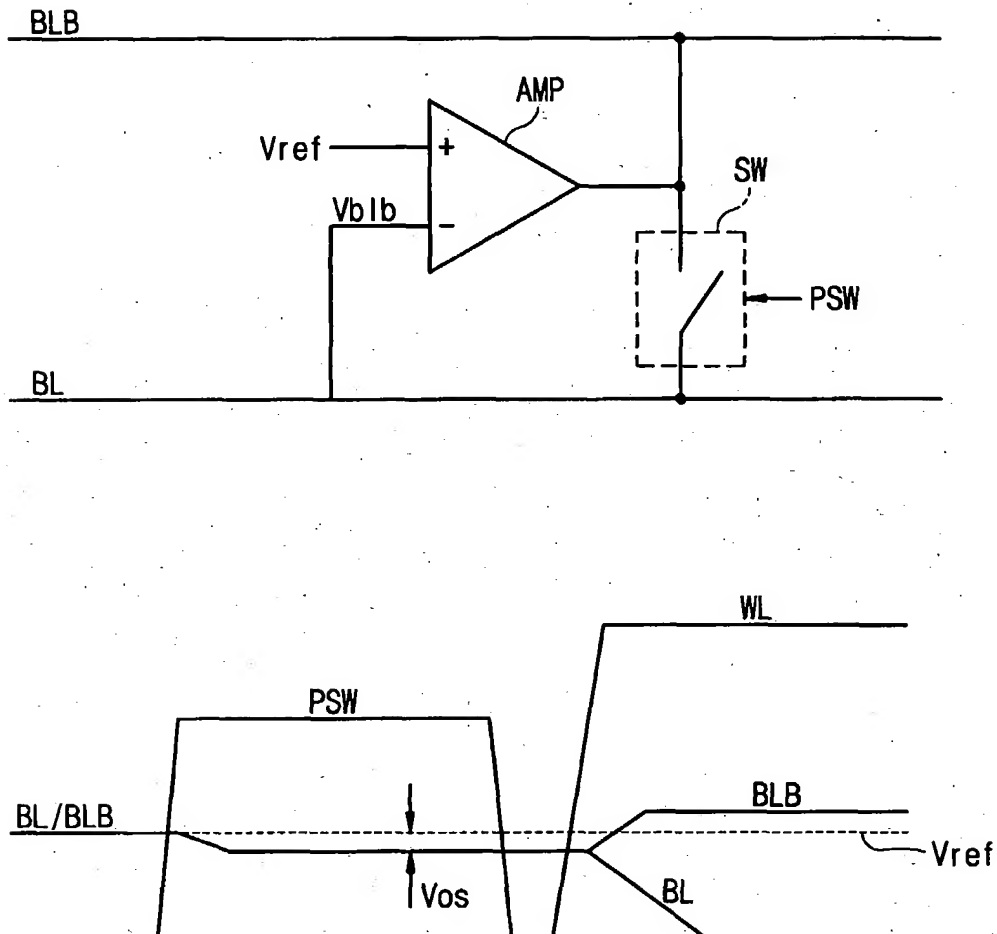
【청구항 70】

제 69 항에 있어서,

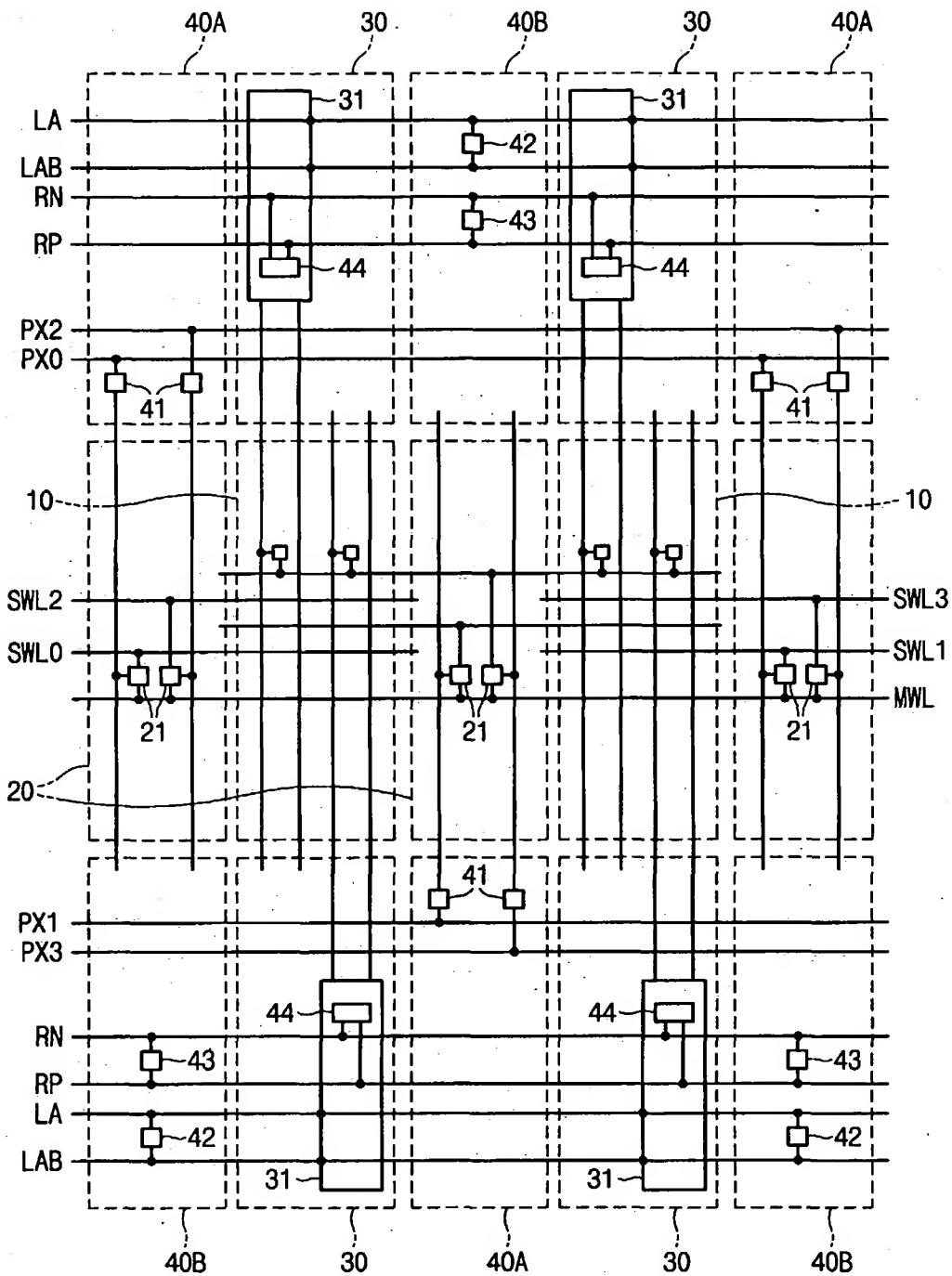
상기 제 2 드라이버 회로는 상기 제 2 차동 증폭기의 입력 오프셋 전압이 제거된 후 상기 제 2 비트 라인의 전압 변화에 응답하여 상기 제 1 비트 라인을 구동하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

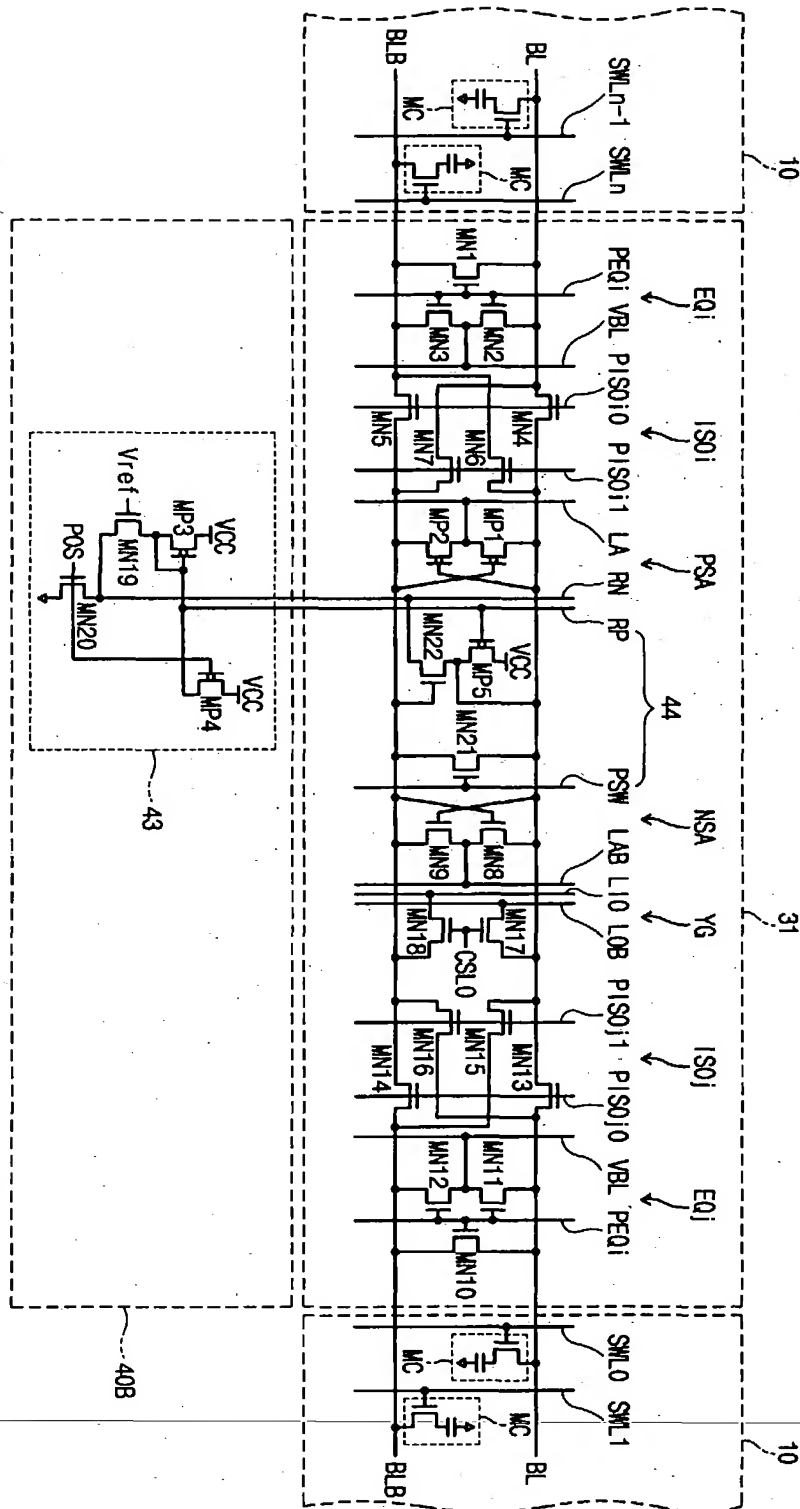
【도 1】



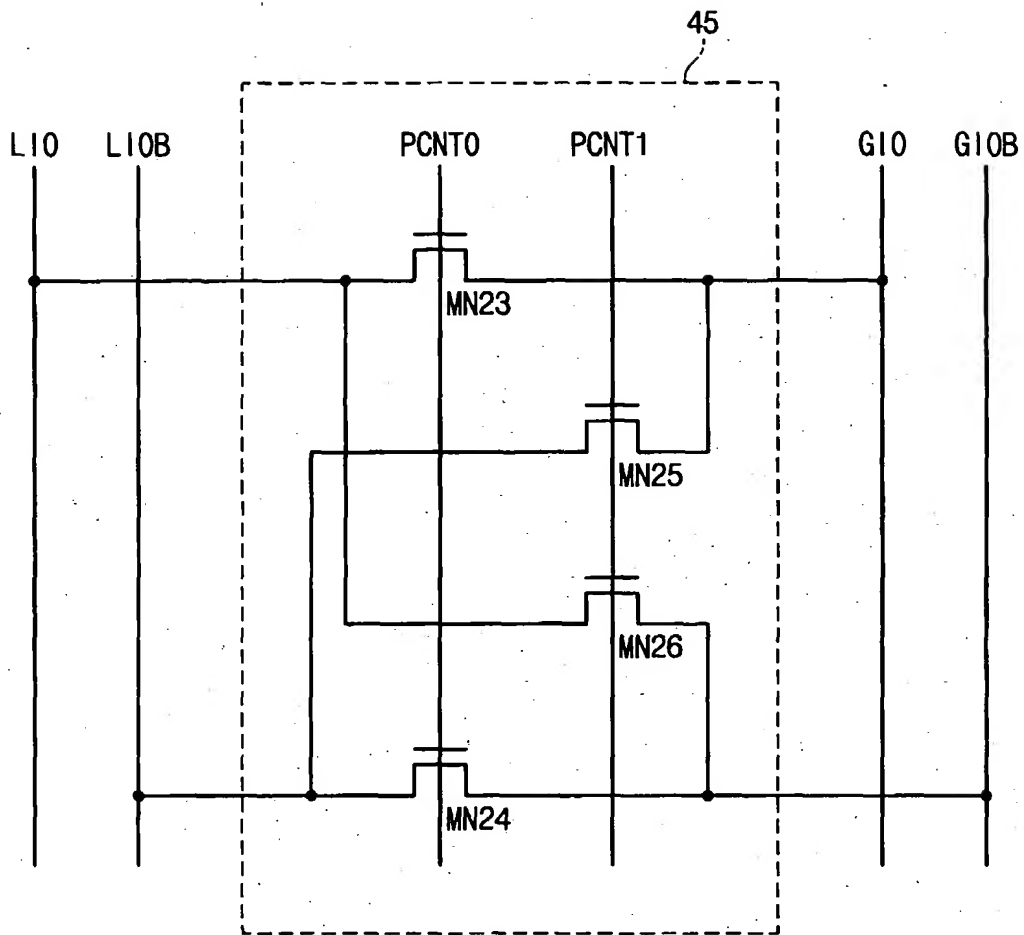
【도 2】



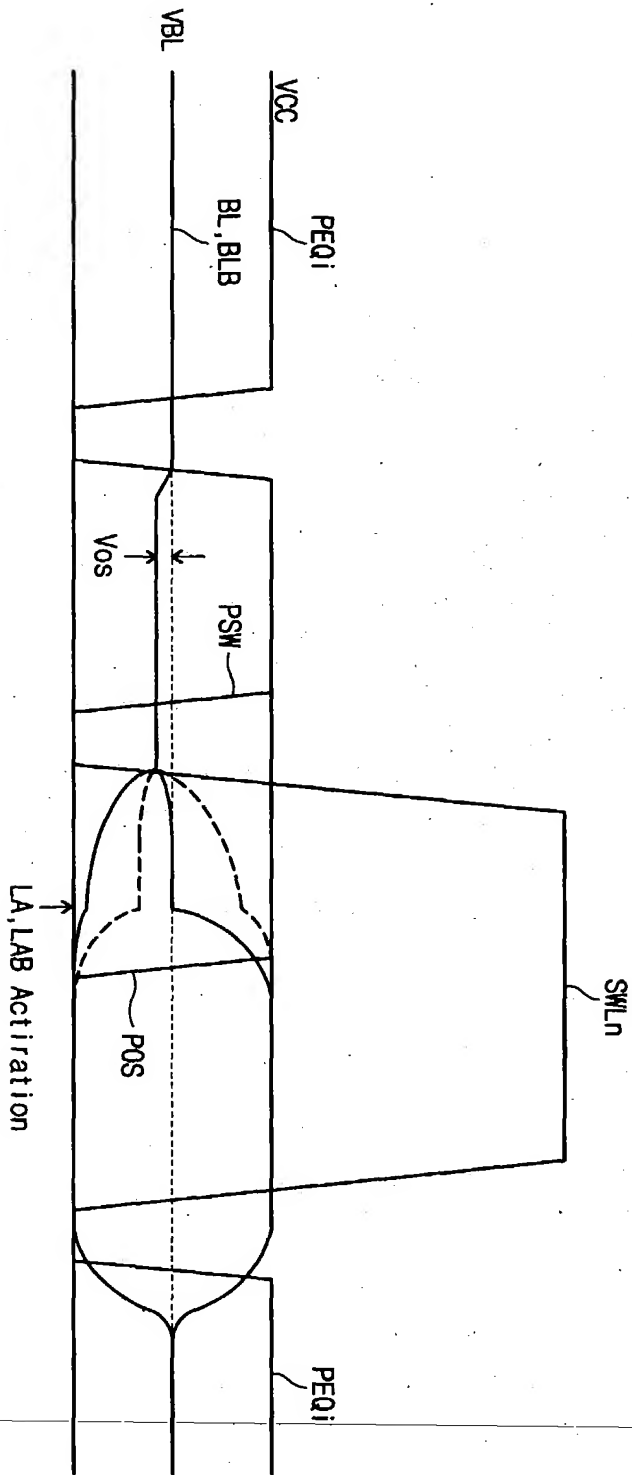
【도 3】



【도 4】

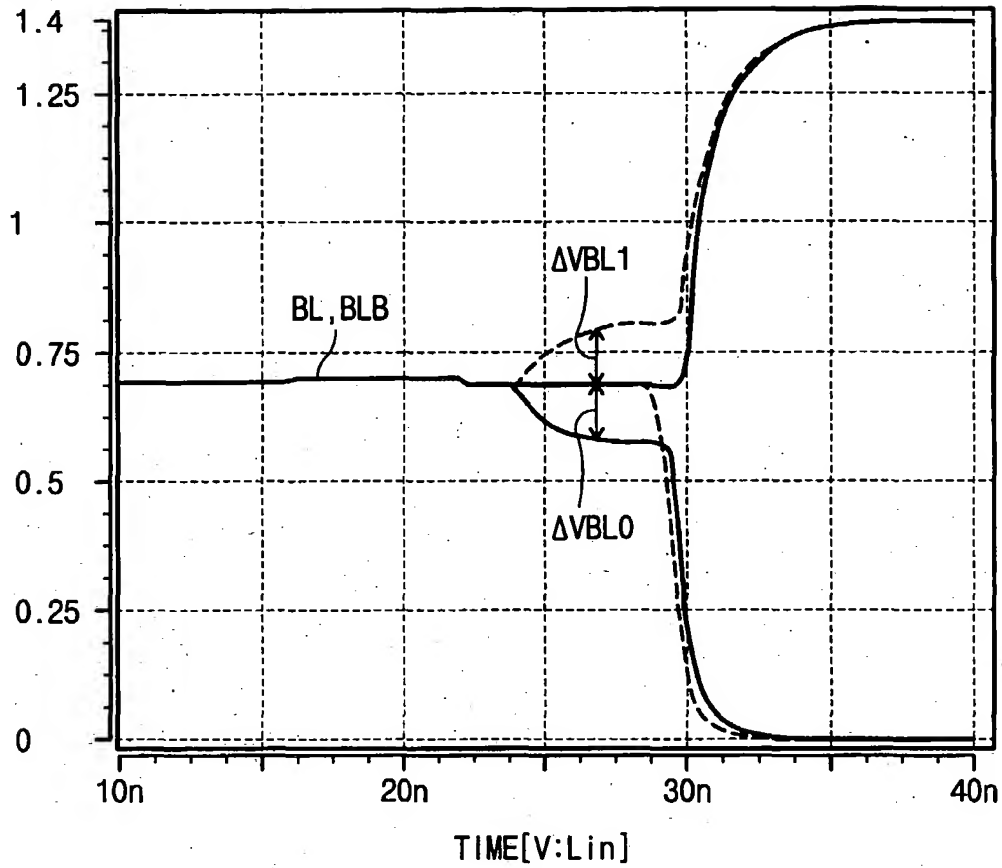


【도 5】



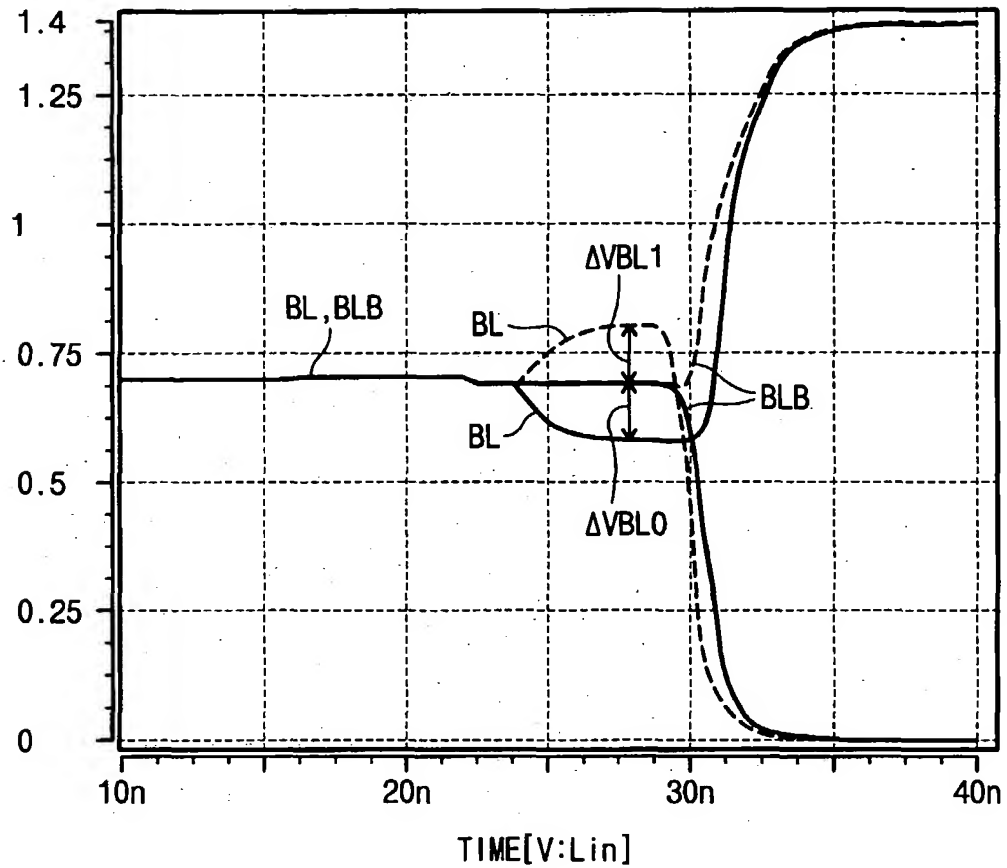
【도 6a】

Volt[Lin]

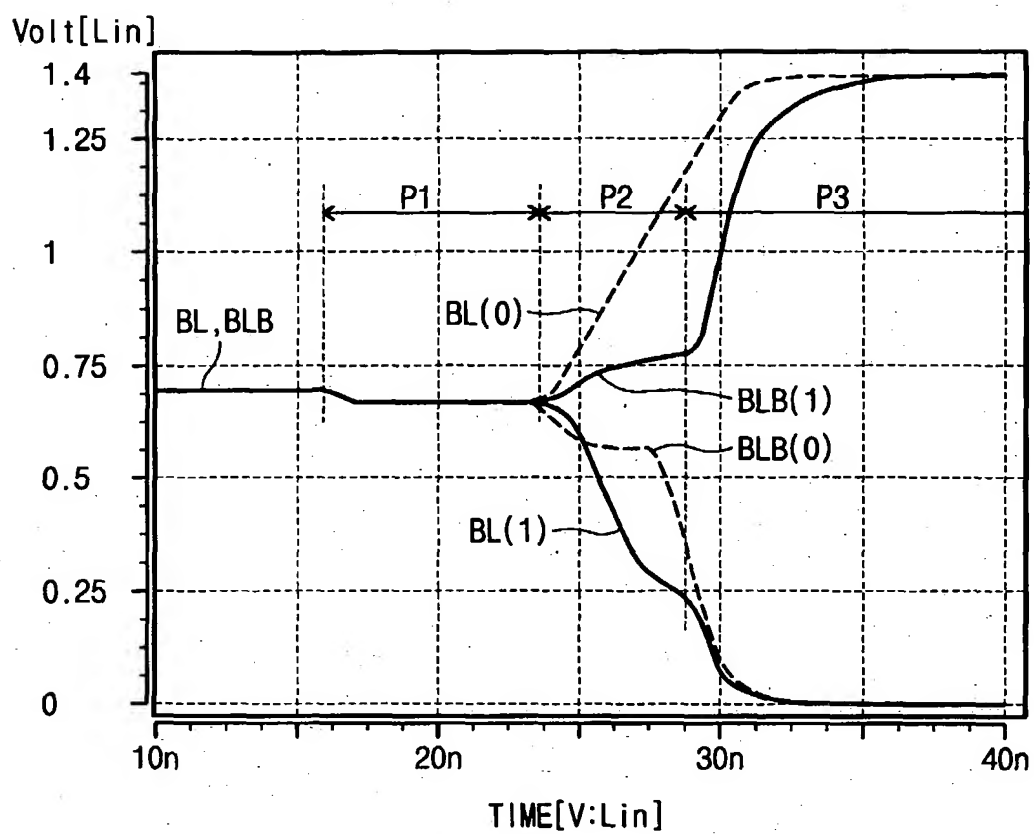


【도 6b】

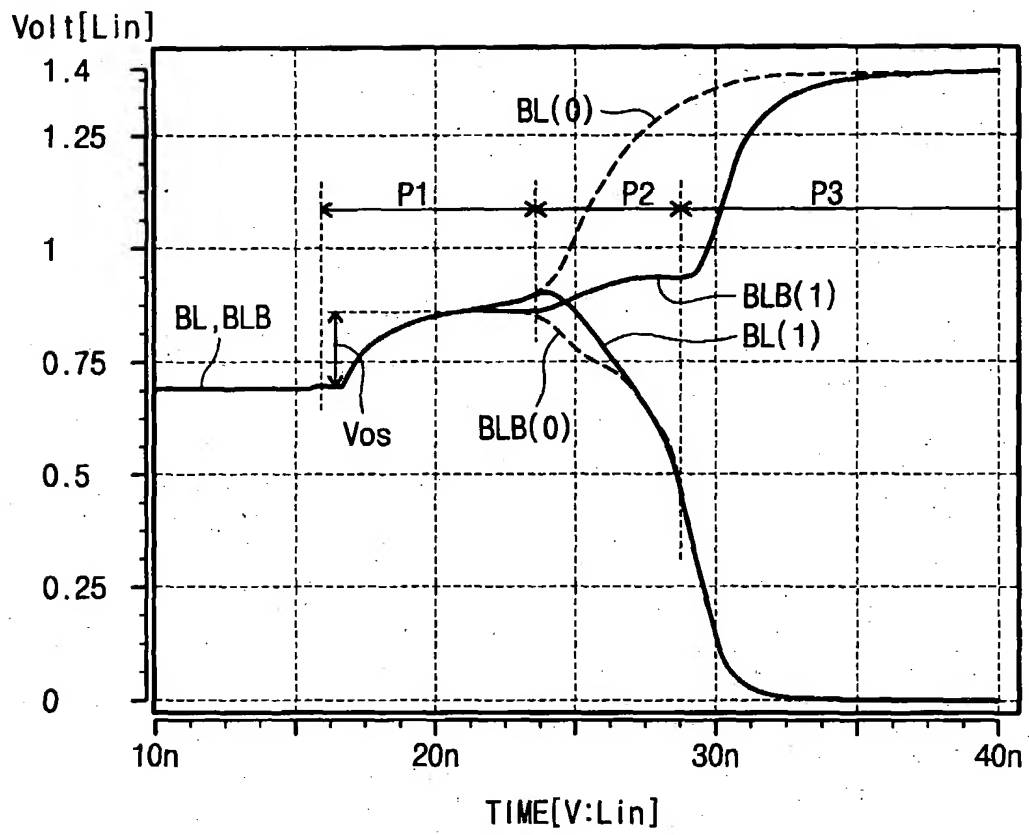
Volt[Lin]



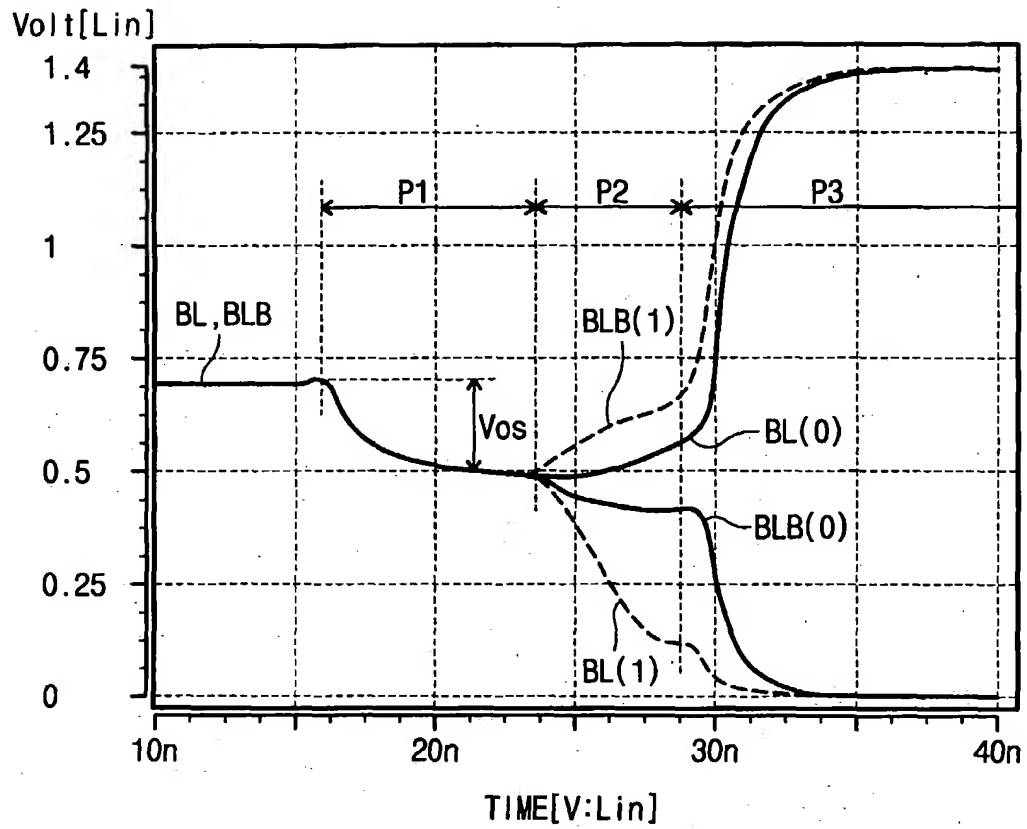
【도 7a】



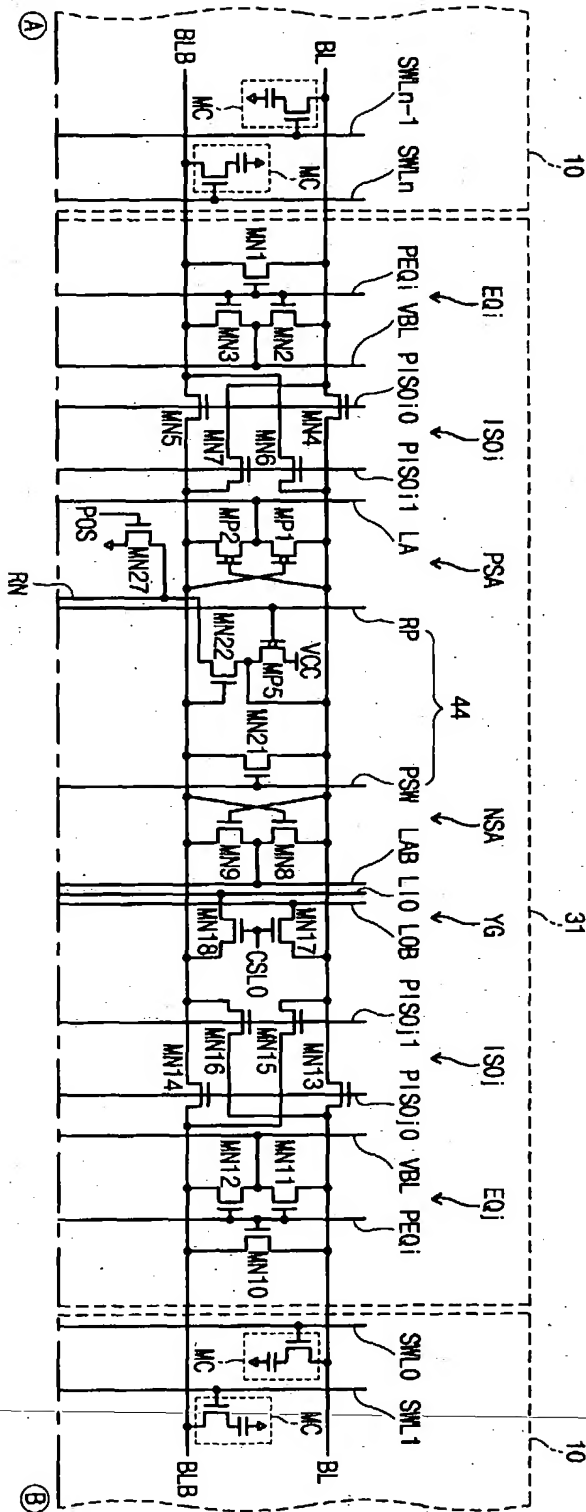
【도 7b】



【도 7c】

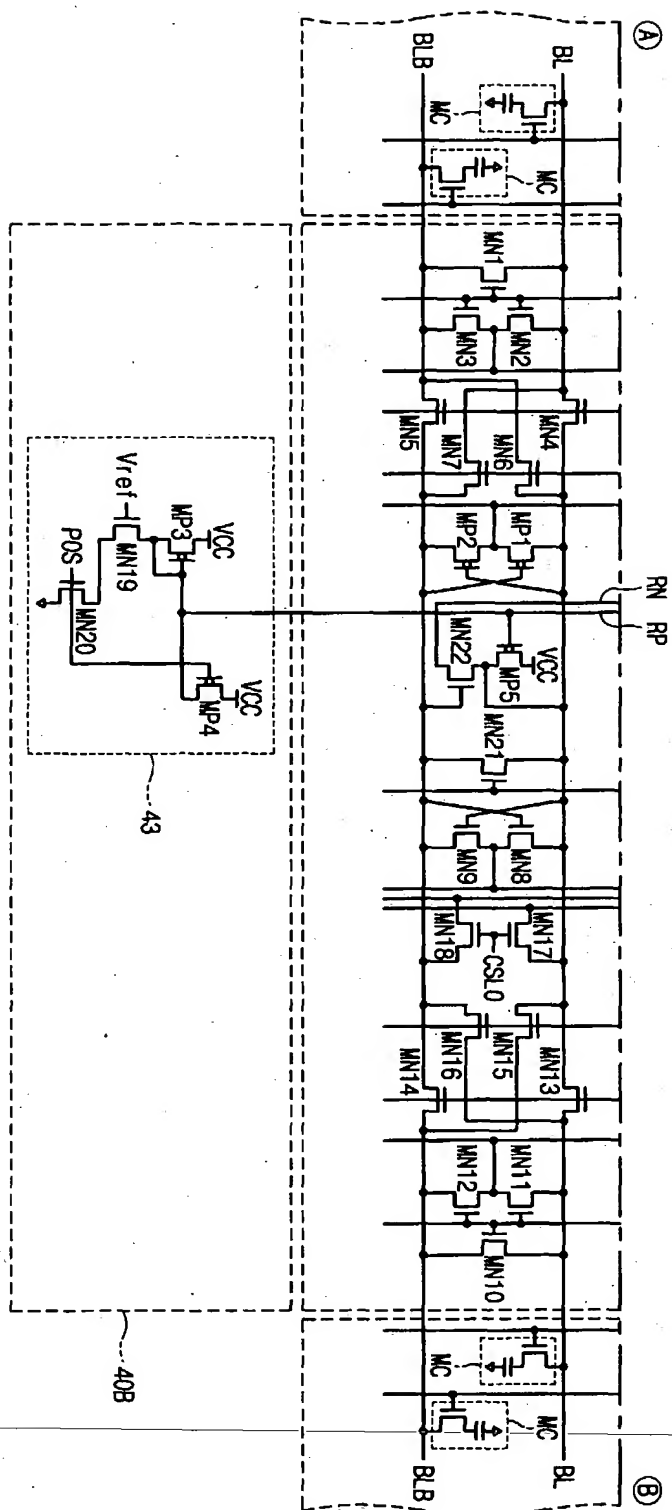


【도 8a】

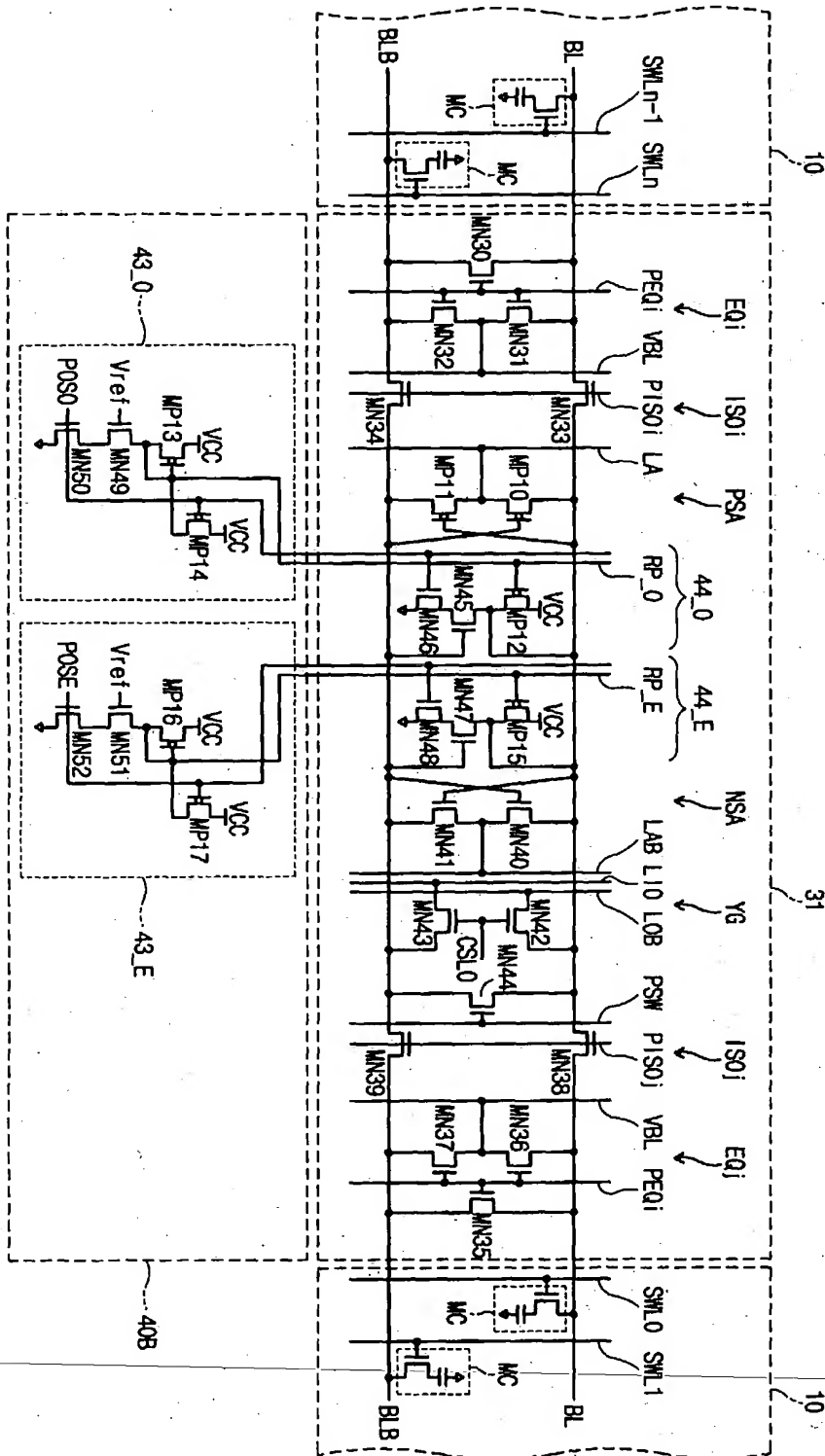


도 8	도 8A	도 8B
-----	------	------

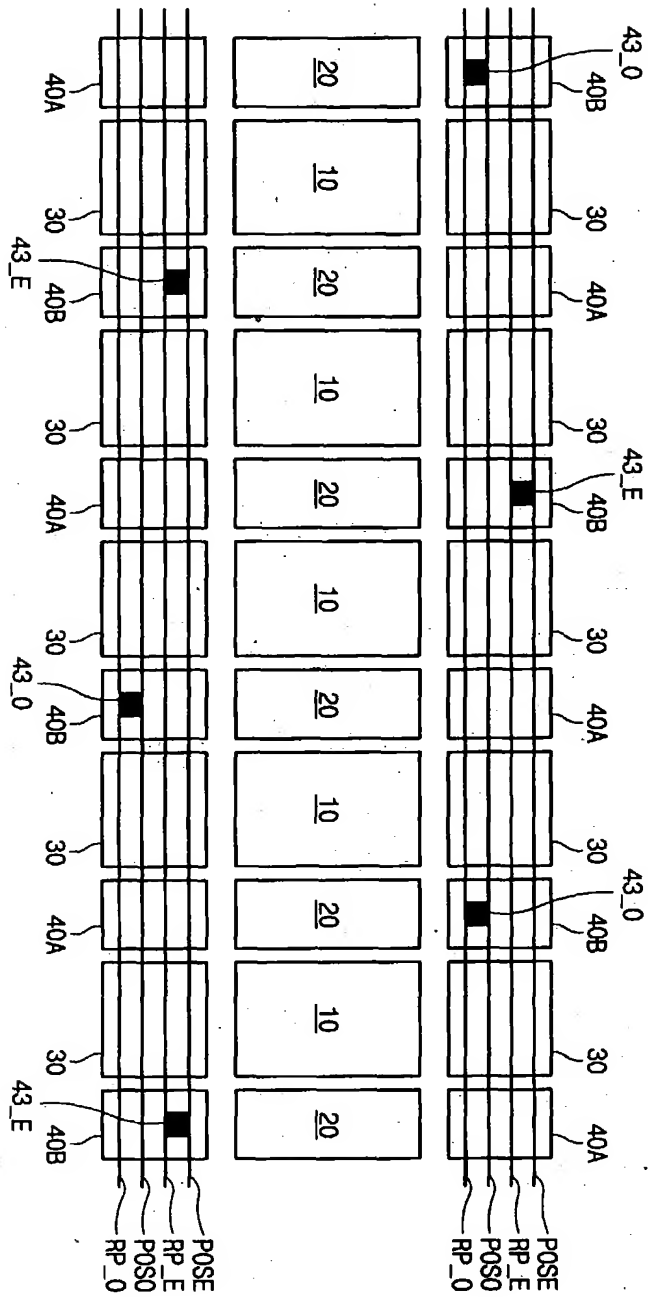
【도 8b】



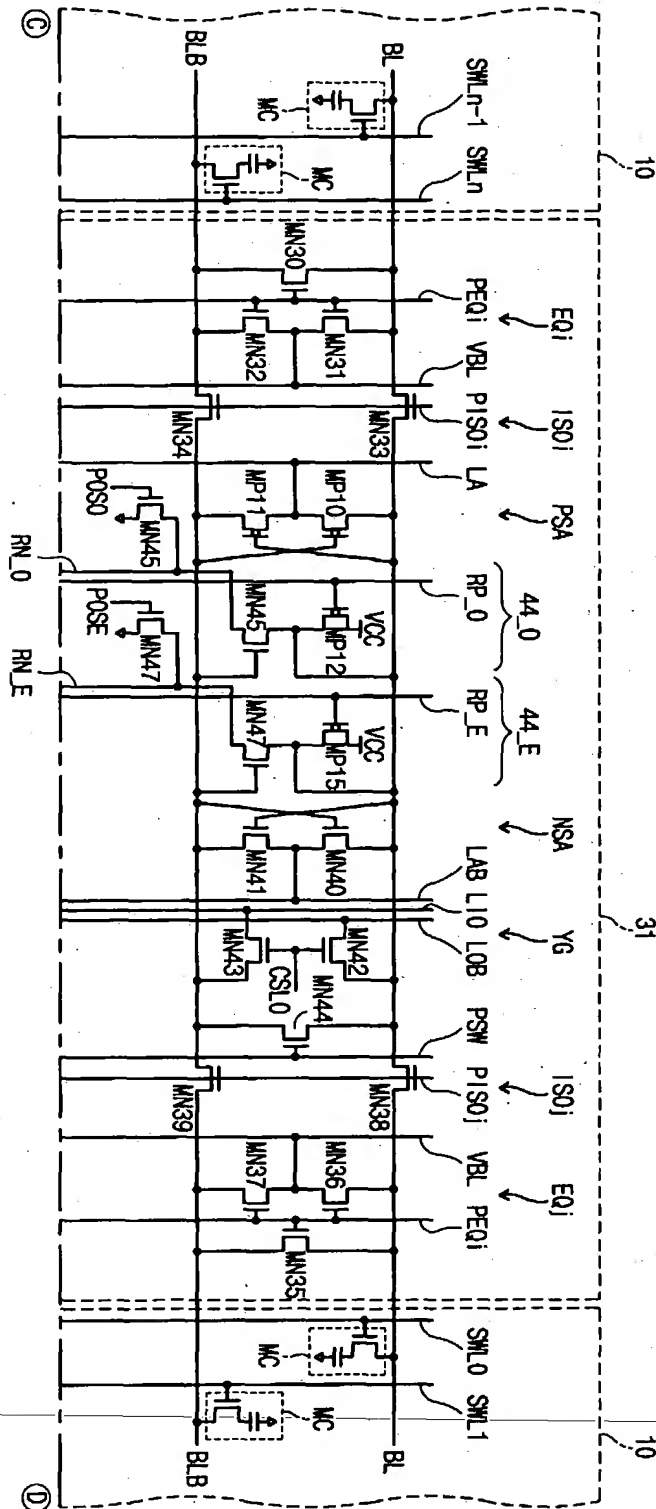
【도 9】



【도 10】

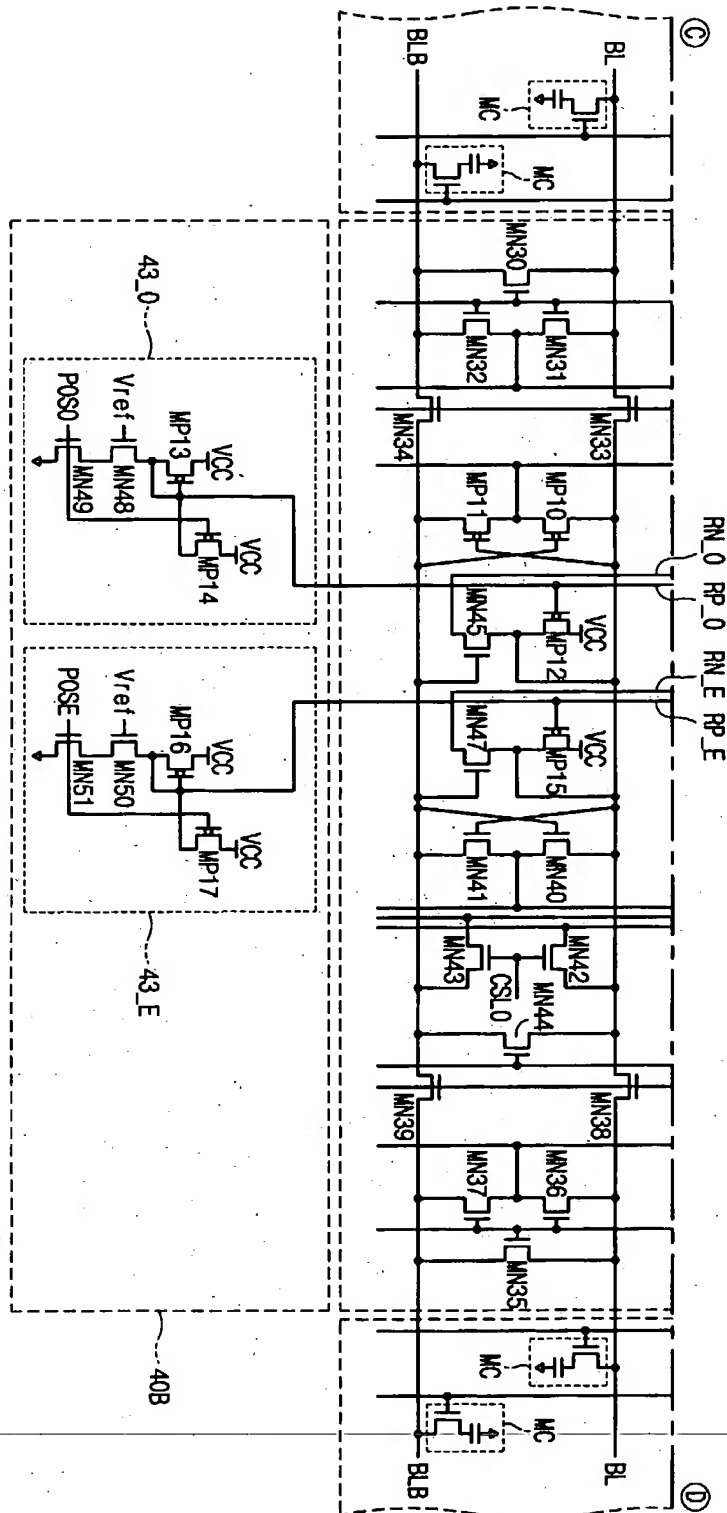


【도 11a】



도 11
도 11A
도 11B

【도 11b】



【도 12】

